

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-124312

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

G11B 20/14

H03M 1/12

H03M 5/14

H04B 14/04

(21)Application number : 06-287247

(71)Applicant : SONY CORP

(22)Date of filing : 26.10.1994

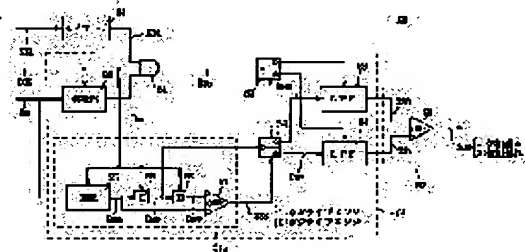
(72)Inventor : HIRASAKA HISAKADO

## (54) DEVICE AND METHOD FOR PHASE ERROR DETECTION

## (57)Abstract:

PURPOSE: To precisely detect a phase error of an A/D conversion timing by detecting respective discrimination reference data corresponding to the fall and the rise portions of multilevel signals and detecting the phase deviation of the conversion timing based on the two discrimination references.

CONSTITUTION: A monostable multivibrator 54 of a phase error detector 50 detects a signal portion having a single frequency among multilevel signals. An edge detection section 51A of a data detection means 51 detects digital data DRFN and DRFP corresponding to the fall/rise portions of the multilevel signals and corresponding to a central value among digital data DRF through a delaying circuit 55 and latches 56 and 58 and inputs them to LPFs 63 and 64, respectively. A comparator 65 of a phase detection means 52 compares the outputs of the LPFs 63 and 64 in accordance with an operating clock and detects the phase deviation of the conversion timing.



## LEGAL STATUS

[Date of request for examination]

22.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 08-124312**

[0061] to [0069]

[0061] (5-2) Structure of the phase error detection circuit

In Figure 15, reference number 80 denotes the phase error detection circuit as a whole, which is mainly composed of a data detection stage 81 and a phase detection stage 82. The data detection stage 81 is composed of a timing detection section 81A, a data delay section 81B and latch circuits (D) 81C and 81D. The latch circuits (D) 81C and 81D are operated based on timing detected in the timing detection section 81A to latch RF data  $D_{RF}$  delayed in the data delay section 81B, whereby RF data  $D_{RFN}$  corresponding to 0[V] at a negative edge and RF data  $D_{RFP}$  corresponding to 0[V] at a positive edge are detected. In the phase detection stage 82, the phase error of the delay channel clock CCK' is detected based on the thus detected RF data  $D_{RFN}$  corresponding to 0[V] at the negative edge and RF data  $D_{RFP}$  corresponding to 0[V] at the positive edge.

[0062] The aforementioned timing detection section 81A firstly binarizes the RF data  $D_{RF}$  in a temporary detection circuit 83. In this time, the temporary detection circuit 83 has received the delay channel clock CCK' and is operated based on the delay channel clock CCK' so as to binarize the RF data  $D_{RF}$ . Wherein, the delay channel clock CCK' is also supplied into each of the latch circuits (D) 81C and 81D and latch circuits (D) 85 to 91, 93 and 94 and a low-pass filter (LPF) 97 as an operation clock, which are not shown in the drawing, as well as into the delay circuit 84. Herein, each of the latch circuits 85 to 91 is a latch circuit for 1 bit and each of the latch circuits 81C, 81D, 93 and 94 is a latch circuit for bits of which number is equal to that of the RF data  $D_{RF}$ .

[0063] The temporary detection circuit 83 can perform stable ternary detection even when there is amplitude fluctuation and outputs detected

data to two output terminals as temporary detection data  $D_{DET1}$  and  $D_{DET2}$ , according to a predetermined rule. When the RF data  $D_{RF}$  is data corresponding to +1[V], for example, the temporary detection circuit 83 outputs “0” as the temporary detection data  $D_{DET1}$  and outputs “1” as the temporary detection data  $D_{DET2}$ . Further, when the RF data  $D_{RF}$  is data corresponding to 0[V], the temporary detection circuit 83 outputs “1” as the temporary detection data  $D_{DET1}$  and outputs an “undefined value” as the temporary detection data  $D_{DET2}$ . Moreover, when the RF data  $D_{RF}$  is data corresponding to -1[V], the temporary detection circuit 83 outputs “0” as the temporary detection data  $D_{DET1}$  and outputs “0” as the temporary detection data  $D_{DET2}$ . The temporary detection data  $D_{DET1}$  is output to the latch circuit 85 and the temporary detection data  $D_{DET2}$  is output to the latch circuit 88.

[0064] The latch circuit 85 is operated based on the delay channel clock  $CCK'$  to delay the temporary detection data  $D_{DET1}$  by 1 clock and outputs thus obtained temporary detection data  $D_{DET1A}$  to the latch circuit 86 as well as to a NAND gate 99 through an inverter gate 98 and to a NAND gate 101 through an inverter gate 100. In the same manner, the latch circuit 86 is operated based on the delay channel clock  $CCK'$  to delay the temporary detection data  $D_{DET1A}$  by 1 clock and outputs thus obtained  $D_{DET1B}$  to the latch circuit 87 as well as to NAND gates 99 and 101. Further, the latch circuit 87 is also operated based on the delay channel clock  $CCK'$  to delay the temporary detection data  $D_{DET1B}$  by 1 clock and outputs thus obtained  $D_{DET1C}$  to the NAND gate 99 through an inverter gate 102 as well as to the NAND gate 101 through an inverter gate 103. With such a structure, suppose that the temporary detection data  $D_{DET1B}$  is the present data, then, the temporary detection data  $D_{DET1A}$  serves as data in the future by 1 sample and the temporary detection data  $D_{DET1C}$  serves as data in the past by 1 sample.

[0065] The latch circuit 88 is operated based on the delay channel clock  $CCK'$  to delay the temporary detection data  $D_{DET2}$  by 1 clock and outputs thus obtained  $D_{DET2A}$  to the latch circuit 89 and the NAND gate 101 as well as to the NAND gate 99 through the inverter gate 104. In the same manner, the latch circuit 89 is operated based on the delay channel clock  $CCK'$  to delay the temporary detection data  $D_{DET2A}$  by 1 clock and outputs

thus obtained  $D_{DET2B}$  to the latch circuit 90. The latch circuit 90 is also operated based on the delay channel clock CCK' to delay the temporary detection data  $D_{DET2B}$  by 1 clock and outputs thus obtained  $D_{DET2C}$  to the NAND gate 99 as well as to the NAND gate 101 to an inverter gate 105. With such a structure, suppose that the temporary detection data  $D_{DET2B}$  is the present data, then, the temporary detection data  $D_{DET2A}$  serves as data in the future by 1 sample and the temporary detection data  $D_{DET2C}$  serves as data in the past by 1 sample.

[0066] In each of the NAND gates 99 and 101, an evaluation timing pulse S40, which is generated in a monostable multivibrator 106, is input. The evaluation timing pulse S40 is a signal notifying a period for which phase determination is to be performed, and serves to prohibit the phase determination from being performed in a period other than the above period. The monostable multivibrator 106 generates the evaluation timing pulse S40 having a predetermined pulse width, using, as a trigger, the edge information S31 of the head switching pulse  $S_{HSP}$  detected in the edge detection circuit 38 (Figure 2). In this time, the monostable multivibrator 106 generates the evaluation timing pulse S40 to an entire region in which the RF signal  $S_{RF}$  exists, as shown in Figure 16.

[0067] In this way, in the NAND gate 99, the evaluation timing pulse S40, data obtained by inverting the temporary detection data  $D_{DET1A}$  in the inverter gate 98, the temporary detection data  $D_{DET1B}$ , data obtained by inverting the temporary detection data  $D_{DET1C}$  in the inverter gate 102, data obtained by inverting the temporary detection data  $D_{DET2A}$  in the inverter gate 104 and the temporary detection data  $D_{DET2C}$  are input. In this association, the NAND gate 99 outputs "0" when the evaluation timing pulse S40 is "1", the temporary detection data  $D_{DET1A}$  is "0", the temporary detection data  $D_{DET1B}$  is "1", the temporary detection data  $D_{DET1C}$  is "0", the temporary detection data  $D_{DET2A}$  is "0" and the temporary detection data  $D_{DET2C}$  is "1", and outputs "1" otherwise.

[0068] Further, in the NAND gate 101, the evaluation timing pulse S40, data obtained by inverting the temporary detection data  $D_{DET1A}$  in the inverter gate 100, the temporary detection data  $D_{DET1B}$ , data obtained by inverting the temporary detection data  $D_{DET1C}$  in the inverter gate 103, the temporary detection data  $D_{DET2A}$  and data obtained by inverting the

temporary detection data  $D_{DET2C}$  in the inverter gate 105 are input. In this association, the NAND gate 101 outputs “0” when the evaluation timing pulse S40 is “1”, the temporary detection data  $D_{DET1A}$  is “0”, the temporary detection data  $D_{DET1B}$  is “1”, the temporary detection data  $D_{DET1C}$  is “0”, the temporary detection data  $D_{DET2A}$  is “1” and the temporary detection data  $D_{DET2C}$  is “0”, and outputs “1” otherwise.

[0069] It is to be noted that “0” output by the NAND gate 99 means that the RF data  $D_{RFN}$  corresponding to 0[V] at the negative edge is detected and that “0” output by the NAND gate 101 means that the RF data  $D_{RFP}$  corresponding to 0[V] at the positive edge is detected. Details relevant thereto will be hereinafter described.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-124312

(43)公開日 平成8年(1996)5月17日

| (51)Int.Cl. <sup>6</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
|--------------------------|---------|---------|-----|--------|
| G 1 1 B 20/14            | 3 4 1 B | 9463-5D |     |        |
| H 0 3 M 1/12             | A       |         |     |        |
| 5/14                     |         | 9382-5K |     |        |
| H 0 4 B 14/04            | Z       |         |     |        |

審査請求 未請求 請求項の数19 F D (全 21 頁)

(21)出願番号 特願平6-287247

(22)出願日 平成6年(1994)10月26日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 平坂 久門

東京都品川区西五反田3丁目9番17号東洋  
ビルソニーマグネスケール株式会社内

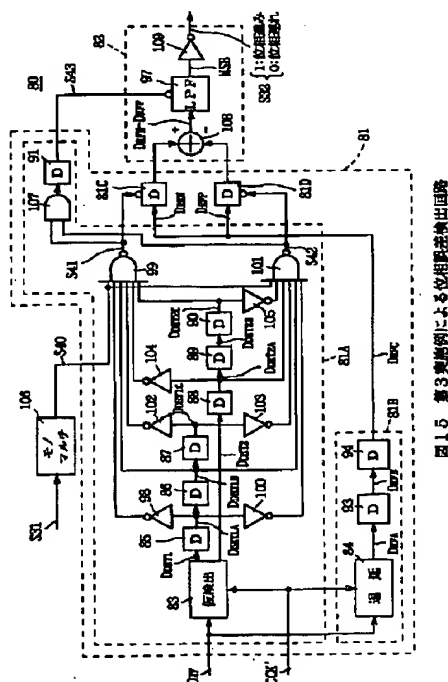
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 位相誤差検出装置及び位相誤差検出方法

(57)【要約】

【目的】本発明は位相誤差検出装置及び位相誤差検出方法に関し、アナログデジタル変換タイミングの位相ずれを精度良く検出し得る位相誤差検出装置及び位相誤差検出方法を実現する。

【構成】デジタルデータ $D_{RF}$ の中から、多値信号 $S_{PR}$ の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ $D_{RF}$ を検出して第1の判定基準データ $D_{RFN}$ を得ると共に、多値信号 $S_{PR}$ の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ $D_{RF}$ を検出して第2の判定基準データ $D_{RFP}$ を得るデータ検出手段81と、第1及び第2の判定基準データ $D_{RFN}$ 、 $D_{RFP}$ に基づいて実際の変換タイミングの位相ずれを検出する位相検出手段82とを設けるようにしたことにより、実際の変換タイミングと所望の変換タイミングとの位相ずれを精度良く検出し得る。



## 【特許請求の範囲】

【請求項 1】奇数個の多値を通る多値信号を、当該多値を通るタイミングを所望の変換タイミングとしてアナログデジタル変換する場合に、アナログデジタル変換して得たデジタルデータから実際の変換タイミングと上記所望の変換タイミングとの位相ずれを検出する位相誤差検出装置において、

上記デジタルデータの中から、上記多値信号の立ち下がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 1 の判定基準データを得ると共に、上記多値信号の立ち上がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 2 の判定基準データを

得るデータ検出手段と、  
上記データ検出手段によって得た第 1 及び第 2 の判定基準データに基づいて上記実際の変換タイミングの位相ずれを検出する位相検出手段とを具えることを特徴とする位相誤差検出装置。

【請求項 2】上記位相検出手段の検出結果に応じて上記実際の変換タイミングを修正するタイミング修正手段を具えることを特徴とする請求項 1 に記載の位相誤差検出装置。

【請求項 3】上記データ検出手段は、  
上記デジタルデータを 2 値化して得た仮検出データのデータ変化に基づいて上記第 1 及び第 2 の判定基準データを検出することを特徴とする請求項 1 又は請求項 2 に記載の位相誤差検出装置。

【請求項 4】上記データ検出手段は、  
上記デジタルデータを 2 値化して得た仮検出データのデータ変化に基づいて、上記第 1 の判定基準データの取り込みタイミングを検出すると共に、上記第 2 の判定基準データの取り込みタイミングを検出するタイミング検出手段と、

上記タイミング検出手段が取り込みタイミングを検出する際に要する時間分だけ、上記デジタルデータを遅延するデータ遅延手段と、

上記タイミング検出手段で検出した上記第 1 の判定基準データの取り込みタイミングに基づいて、上記データ遅延手段で遅延したデジタルデータを取り込んでラッチすることにより上記第 1 の判定基準データを検出する第 1 のデータラッチ手段と、

上記タイミング検出手段で検出した上記第 2 の判定基準データの取り込みタイミングに基づいて、上記データ遅延手段で遅延したデジタルデータを取り込んでラッチすることにより上記第 2 の判定基準データを検出する第 2 のデータラッチ手段とを具えることを特徴とする請求項 3 に記載の位相誤差検出装置。

【請求項 5】上記位相検出手段は、  
複数の上記第 1 及び第 2 の判定基準データを基に上記実際の変換タイミングの位相ずれを検出することを特徴と

する請求項 1 又は請求項 2 に記載の位相誤差検出装置。

【請求項 6】上記位相検出手段は、  
上記第 1 及び第 2 の判定基準データの差を取つて得た差分データの正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 1 又は請求項 2 に記載の位相誤差検出装置。

【請求項 7】上記位相検出手段は、  
上記第 1 及び第 2 の判定基準データの差を取つて得た差分データを複数用いて平均を取り、その結果得た差分データの平均値の正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 1 又は請求項 2 に記載の位相誤差検出装置。

【請求項 8】奇数個の多値を通る多値信号を、当該多値を通るタイミングを所望の変換タイミングとしてアナログデジタル変換する場合に、アナログデジタル変換して得たデジタルデータから実際の変換タイミングと上記所望の変換タイミングとの位相ずれを検出する位相誤差検出方法において、

上記デジタルデータの中から、上記多値信号の立ち下がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 1 の判定基準データを得ると共に、上記多値信号の立ち上がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 2 の判定基準データを得るデータ検出ステップと、  
上記データ検出ステップによって得た第 1 及び第 2 の判定基準データに基づいて上記実際の変換タイミングの位相ずれを検出する位相検出ステップとを具えることを特徴とする位相誤差検出方法。

【請求項 9】上記位相検出ステップの検出結果に応じて上記実際の変換タイミングを修正するタイミング修正ステップを具えることを特徴とする請求項 8 に記載の位相誤差検出方法。

【請求項 10】上記データ検出ステップは、  
上記デジタルデータを 2 値化して得た仮検出データのデータ変化に基づいて上記第 1 及び第 2 の判定基準データを検出することを特徴とする請求項 8 又は請求項 9 に記載の位相誤差検出方法。

【請求項 11】上記位相検出ステップは、  
複数の上記第 1 及び第 2 の判定基準データを基に上記実際の変換タイミングの位相ずれを検出することを特徴とする請求項 8 又は請求項 9 に記載の位相誤差検出方法。

【請求項 12】上記位相検出ステップは、  
上記第 1 及び第 2 の判定基準データの差を取つて得た差分データの正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 8 又は請求項 9 に記載の位相誤差検出方法。

【請求項 13】上記位相検出ステップは、  
上記第 1 及び第 2 の判定基準データの差を取つて得た差分データを複数用いて平均を取り、その結果得た差分デ



ータの平均値の正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 8 又は請求項 9 に記載の位相誤差検出方法。

【請求項 1 4】奇数個の多値を通り、かつ所定位置に単一周波数の信号部分を含む多値信号を、当該多値を通るタイミングを所望の変換タイミングとしてアナログデジタル変換する場合に、アナログデジタル変換して得たデジタルデータから実際の変換タイミングと上記所望の変換タイミングとの位相ずれを検出する位相誤差検出装置において、

上記多値信号の中から上記単一周波数の信号部分を検出する単一信号検出手段と、

上記単一信号検出手段が上記単一周波数の信号部分を検出した場合、上記デジタルデータの中から、上記多値信号の立ち下がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 1 の判定基準データを得ると共に、上記多値信号の立ち上がり部分に対応し、かつ上記奇数個の多値のうちの中央値に対応するデジタルデータを検出して第 2 の判定基準データを得るデータ検出手段と、

上記データ検出手段によつて得た第 1 及び第 2 の判定基準データに基づいて上記実際の変換タイミングの位相ずれを検出する位相検出手段とを具えることを特徴とする位相誤差検出装置。

【請求項 1 5】上記位相検出手段の検出結果に応じて上記実際の変換タイミングを修正するタイミング修正手段を具えることを特徴とする請求項 1 4 に記載の位相誤差検出装置。

【請求項 1 6】上記データ検出手段は、上記デジタルデータの中から、上記多値信号の立ち下がり部分及び立ち上がり部分を検出するエッジ検出手段と、

上記デジタルデータの中から、上記奇数個の多値のうちの中央値に対応するデータを検出する仮検出手段と、上記エッジ検出手段及び上記仮検出手段の検出結果に基づいて上記第 1 の判定基準データを検出する第 1 の基準データ検出手段と、

上記エッジ検出手段及び上記仮検出手段の検出結果に基づいて上記第 2 の判定基準データを検出する第 2 の基準データ検出手段とを具えることを特徴とする請求項 1 4 又は請求項 1 5 に記載の位相誤差検出装置。

【請求項 1 7】上記位相検出手段は、複数の上記第 1 及び第 2 の判定基準データの平均値を比較して上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 1 4 又は請求項 1 5 に記載の位相誤差検出装置。

【請求項 1 8】上記位相検出手段は、上記第 1 及び第 2 の判定基準データの差を取つて得た差分データの正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 1 4 又は請

求項 1 5 に記載の位相誤差検出装置。

【請求項 1 9】上記位相検出手段は、上記第 1 及び第 2 の判定基準データの差を取つて得た差分データを複数用いて平均を取り、その結果得た差分データの平均値の正負を基に上記実際の変換タイミングの位相ずれ方向を検出することを特徴とする請求項 1 4 又は請求項 1 5 に記載の位相誤差検出装置。

【発明の詳細な説明】

【0001】

10 【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図 2 1）

発明が解決しようとする課題（図 2 2 及び図 2 3）

課題を解決するための手段（図 2、図 8、図 1 1 及び図 1 5）

作用（図 2 ～図 8、図 1 1 ～図 1 5）

実施例

（1）DAT の全体構成（図 1）

（2）RF 信号処理段の構成（図 2）

20 （3）第 1 実施例

（3-1）位相誤差検出回路の動作原理（図 3 ～図 7）

（3-2）位相誤差検出回路の構成（図 8 ～図 1 0）

（3-3）動作及び効果

（4）第 2 実施例

（4-1）位相誤差検出回路の構成（図 1 1）

（4-2）効果

（5）第 3 実施例

（5-1）位相誤差検出回路の動作原理（図 1 2 ～図 1 4）

（5-2）位相誤差検出回路の構成（図 1 5 ～図 1 8）

（5-3）動作及び効果

（6）他の実施例（図 1 9）

発明の効果

【0002】

【産業上の利用分野】本発明は位相誤差検出装置及び位相誤差検出方法に関し、例えばデジタルオーディオテープレコーダ（DAT）に適用して好適なものである。

【0003】

【従来の技術】従来、DAT においては、再生した RF（radio frequency）信号からオーディオデータを検出する方式として積分検出方式が採用されている。この積分検出方式は、RF 信号を積分等化し、その積分等化した RF 信号からチャネルクロックに基づいてオーディオデータを検出するものである。ここで積分等化した RF 信号のアイパターンは、図 2 1 に示すように、±1

〔V〕の 2 値波形になる。この積分検出方式の場合には、RF 信号をアナログデジタル変換せずに所定の閾値（例えば 0〔V〕）で 2 値化してオーディオデータを得るため、検出タイミングを規定するチャネルクロックの位相が図中矢印 a で示す範囲内であればついても

検出誤りは発生しない。すなわち積分検出方式では、チャネルクロックの位相ずれに対してかなりの余裕がある。

#### 【0004】

【発明が解決しようとする課題】ところで昨今、RF信号からオーディオデータを検出する方式として、パーシャルレスポンスとビタビ復号を組み合わせたパーシャルレスポンス・ビタビ復号検出方式が盛んに開発されている。この方式は、RF信号をパーシャルレスポンスで等化し、そのパーシャルレスポンスで等化したRF信号をチャネルクロックに基づいてアナログデジタル変換し、その結果得たRFデータに対してビタビ復号を適用してオーディオデータを検出するものである。この方式の特徴としては、RF信号に対して上述のような信号処理をすることにより、積分検出方式よりも一段とエラーの少ない検出ができることである。

【0005】因みに、パーシャルレスポンスによつて波形等化したRF信号のアイパターンは3値以上の波形

(すなわち多値波形)になる。例えばパーシャルレスポンスの一種であるPR(1, 1)によつて等化した場合のアイパターンは、図22に示すように、0[V]、±1[V]の3値波形になる。この場合、RF信号をアナログデジタル変換するタイミングは、積分検出方式のように幅を持たず、図中○印で示すポイントだけになる。すなわちパーシャルレスポンス・ビタビ復号検出方式では、チャネルクロックの位相ずれに対して殆ど余裕がない。言い換えれば、パーシャルレスポンス・ビタビ復号検出方式では、パーシャルレスポンスで等化したRF信号をアナログデジタル変換する際、変換タイミング(図中○印)に精度良く位相が合ったチャネルクロックが必要になる。

【0006】ところで上述のようにパーシャルレスポンスで等化したRF信号のアイパターンが多値波形になるため、検出時に用いる閾値も多値になる。例えば図22で示したようにPR(1, 1)で等化した場合には、閾値は±0.5[V]の2つになる。従つてRF信号が±0.5[V]を横切ったタイミングをエッジ情報としてPLL(Phase-locked loop)回路を駆動してチャネルクロックを生成すれば良い。しかしながらRF信号には振幅変動があるため、RF信号が±0.5[V]を横切ったタイミングを精度良く得るのは難しい。すなわちパーシャルレスポンスで等化したRF信号からチャネルクロックを生成することは非常に難しい。このためパーシャルレスポンス・ビタビ復号検出方式では、積分等化したRF信号からチャネルクロックを生成するが多い。このように積分等化したRF信号からチャネルクロックを再生するようにすれば、ゼロクロス点(すなわち0[V]を横切ったタイミング)をエッジ情報としてPLL回路を駆動することができ、RF信号に振幅変動があつたとしても安定してPLL回路を動作させることができる。

【0007】すなわちパーシャルレスポンス・ビタビ復号検出方式のDATでは図23に示すような構成が用いられる場合が多い。このDAT1では、再生ヘッド2によつて読み取られ、そしてヘッドアンプ3で増幅されたRF信号 $S_{RF}$ は等化回路4、5に供給される。等化回路4はRF信号 $S_{RF}$ をパーシャルレスポンスの一種であるPR(1, 1)で波形等化し、その結果得たRF信号 $S_{PR}$ をアナログデジタル変換回路(A/D)6に出力する。一方、等化回路5はRF信号 $S_{RF}$ を積分等化し、その結果得たRF信号 $S_{INT}$ をPLL回路7に出力する。PLL回路7はこの積分等化したRF信号 $S_{INT}$ に基づいてチャネルクロック $CLK$ を生成し、アナログデジタル変換回路6に出力する。アナログデジタル変換回路6はこのチャネルクロック $CLK$ に基づいてRF信号 $S_{PR}$ をデジタル化し、その結果得たRFデータ $D_{RF}$ をビタビ復号回路(図示せず)に出力する。かくしてビタビ復号回路はこのRFデータ $D_{RF}$ に対してビタビ復号を適用してオーディオデータを検出する。このようにしてDAT1では、積分等化したRF信号 $S_{INT}$ からチャネルクロック $CLK$ を生成し、PR(1, 1)で等化したRF信号 $S_{PR}$ をこのチャネルクロック $CLK$ に基づいてアナログデジタル変換する。

【0008】ところがこのような構成の場合、等化回路5で生じる遅延時間と本線経路の等化回路4で生じる遅延時間との間に相関がないため、チャネルクロック $CLK$ が図22において○印で示したアナログデジタル変換のタイミングとずれてしまうおそれがある。例えば等化回路4の特性を変えると、それに伴つて本線経路側の遅延時間が変化する。このとき等化回路5側の遅延時間は等化回路4の特性を変えても変化しないため、結果的にチャネルクロック $CLK$ が本来アナログデジタル変換しなければならないポイントとずれてしまう。この問題は各等化回路4、5の特性を意図的に変えたときのみ生じるのではなく、温度特性や製品のばらつきによつても生じ得る潜在的なものである。このためDAT1では、最適なアナログデジタル変換ポイントとチャネルクロック $CLK$ との位相誤差を精度良く検出し、その検出結果に基づいてチャネルクロック $CLK$ の位相を補正する必要がある。

【0009】本発明は以上の点を考慮してなされたもので、アナログデジタル変換タイミングの位相ずれを精度良く検出し得る位相誤差検出装置及び位相誤差検出方法を提案しようとするものである。

#### 【0010】

【課題を解決するための手段】かかる課題を解決するため本発明においては、奇数個の多値を通る多値信号 $S_{PR}$ を、当該多値を通るタイミングを所望の変換タイミングとしてアナログデジタル変換する場合に、アナログデジタル変換して得たデジタルデータ $D_{RF}$ から実際の変換タイミングと所望の変換タイミングとの位相ずれを

検出する位相誤差検出装置 80 において、デジタルデータ  $D_{RF}$  から、多値信号  $S_{PR}$  の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 1 の判定基準データ  $D_{RFN}$  を得ると共に、多値信号  $S_{PR}$  の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 2 の判定基準データ  $D_{RFP}$  を得るデータ検出手段 81 と、データ検出手段 81 によって得た第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  に基づいて実際の変換タイミングの位相ずれを検出する位相検出手段 82 とを設けるようにした。

【0011】また本発明においては、位相誤差検出装置 80 は、位相検出手段 82 の検出結果に応じて実際の変換タイミングを修正するタイミング修正手段 35、36 を備えるようにした。

【0012】また本発明においては、奇数個の多値を通り、かつ所定位置に単一周波数の信号部分を含む多値信号  $S_{PR}$  を、当該多値を通るタイミングを所望の変換タイミングとしてアナログデジタル変換する場合に、アナログデジタル変換して得たデジタルデータ  $D_{RF}$  から実際の変換タイミングと所望の変換タイミングとの位相ずれを検出する位相誤差検出装置 50 又は 70 において、多値信号  $S_{PR}$  の中から単一周波数の信号部分を検出する単一信号検出手段 54 と、単一信号検出手段 54 が単一周波数の信号部分を検出した場合、デジタルデータ  $D_{RF}$  の中から、多値信号  $S_{PR}$  の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 1 の判定基準データ  $D_{RFN}$  を得ると共に、多値信号  $S_{PR}$  の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 2 の判定基準データ  $D_{RFP}$  を得るデータ検出手段 51 と、データ検出手段 51 によって得た第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  に基づいて実際の変換タイミングの位相ずれを検出する位相検出手段 52 又は 71 とを設けるようにした。

【0013】また本発明においては、位相誤差検出装置 50 又は 70 は、位相検出手段 52 又は 71 の検出結果に応じて実際の変換タイミングを修正するタイミング修正手段 35、36 を備えるようにした。

【0014】

【作用】デジタルデータ  $D_{RF}$  の中から、多値信号  $S_{PR}$  の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 1 の判定基準データ  $D_{RFN}$  を得ると共に、多値信号  $S_{PR}$  の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 2 の判定基準データ  $D_{RFP}$  を得るデータ検出手段 81 と、データ検出手段 81 によって得た第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  に基づいて実際の変換タイミングの位相ずれを検出する位相検出手段 82 とを設けるよう

にしたことにより、実際の変換タイミングと所望の変換タイミングとの位相ずれを精度良く検出し得る。この場合、実際の変換タイミングと所望の変換タイミングとの位相がずれていれば、第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  の値が異なるため、上述のようなデータ検出手段 81 と位相検出手段 82 を設けることによつて位相ずれ検出し得る。

【0015】また位相検出手段 82 の検出結果に応じて実際の変換タイミングを修正するタイミング修正手段 35、36 を備えるようにしたことにより、位相検出手段 82 の検出結果に応じて実際の変換タイミングを所望の変換タイミングに修正し得る。

【0016】また多値信号  $S_{PR}$  の中から単一周波数の信号部分を検出する単一信号検出手段 54 と、単一信号検出手段 54 が単一周波数の信号部分を検出した場合、デジタルデータ  $D_{RF}$  の中から、多値信号  $S_{PR}$  の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 1 の判定基準データ  $D_{RFN}$  を得ると共に、多値信号  $S_{PR}$  の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータ  $D_{RF}$  を検出して第 2 の判定基準データ  $D_{RFP}$  を得るデータ検出手段 51 と、データ検出手段 51 によって得た第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  に基づいて実際の変換タイミングの位相ずれを検出する位相検出手段 52 又は 71 とを設けるようにしたことにより、実際の変換タイミングと所望の変換タイミングとの位相ずれを精度良く検出し得る。この場合、実際の変換タイミングと所望の変換タイミングとの位相がずれていれば、第 1 及び第 2 の判定基準データ  $D_{RFN}$ 、 $D_{RFP}$  の値が異なるため、上述のような単一信号検出手段 54、データ検出手段 51 及び位相検出手段 52、71 を設けることによつて位相ずれを検出し得る。また単一周波数の信号部分を検出対象にすることによつて検出頻度が増え、これにより一段と精度良く位相ずれを検出し得る。

【0017】また位相検出手段 52 又は 71 の検出結果に応じて実際の変換タイミングを修正するタイミング修正手段 35、36 を備えるようにしたことにより、位相検出手段 52 又は 71 の検出結果に応じて実際の変換タイミングを所望の変換タイミングに修正し得る。

【0018】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0019】(1) DAT の全体構成

図 1 において、10 は全体として DAT の再生系を示し、再生ヘッド 11A、11B で磁気テープに形成された記録トラックを交互に読み取り、その結果得た RF 信号  $S_{RF1}$ 、 $S_{RF2}$  をそれぞれヘッドアンプ 12A、12B で増幅する。スイッチ 13 はヘッドスイッチングパルス  $S_{HSP}$  によつて切り換わり、これにより増幅された R

F信号 $S_{RF1}$ 、 $S_{RF2}$ を1つの信号列にまとめ、RF信号 $S_{RF}$ として等化回路14に出力する。等化回路14はRF信号 $S_{RF}$ をパーシャルレスポンスで波形等化し、その結果得たRF信号 $S_{PR}$ を検出回路15に出力する。検出回路15はRF信号 $S_{PR}$ をチャネルクロックに基づいてデジタル化し、そのデジタル化したRF信号 $S_{PR}$ にビタビ復号を適用することによってオーディオデータ $S_{10}$ を検出する。この検出されたオーディオデータ $S_{10}$ は10-8変換回路16に出力される。

【0020】10-8変換回路16は記録時に8-10変換したオーディオデータ $S_{10}$ を元に戻し、その結果得たオーディオデータ $S_{11}$ をエラー訂正回路17に出力する。エラー訂正回路17はオーディオデータ $S_{11}$ にエラー訂正を施し、その結果得たオーディオデータ $S_{12}$ をデジタルアナログ変換回路(D/A)18に出力する。デジタルアナログ変換回路18はオーディオデータ $S_{12}$ をアナログ信号に変換し、その結果得たオーディオ信号 $S_{13}$ をオーディオアンプ19に出力する。オーディオアンプ19はこのオーディオ信号 $S_{13}$ を所定の増幅度で増幅し、その結果得たオーディオ信号 $S_{14}$ をスピーカ20に出力する。このようにしてDAT10では、パーシャルレスポンス・ビタビ復号検出方式を用いて磁気テープにデジタル記録されたオーディオ信号を再生する。次に再生ヘッド11A(11B)から検出回路15に至るRF信号処理段について説明する。

#### 【0021】(2) RF信号処理段の構成

図2において、30は全体としてDATのRF信号処理段を示し、再生ヘッド11A(11B)で読み取られ、そしてヘッドアンプ12A(12B)で増幅されたRF信号 $S_{RF}$ は、等化回路31、32に出力される。等化回路31はパーシャルレスポンスの一種であるPR(1, 1)でRF信号 $S_{RF}$ を波形等化し、その結果得たRF信号 $S_{PR}$ をアナログデジタル変換回路(A/D)33に出力する。因みに、このRF信号 $S_{PR}$ は図22で示したように0[V]、±1[V]の3値波形になる。一方、等化回路32はRF信号 $S_{RF}$ を積分等化し、その結果得たRF信号 $S_{INT}$ をPLL回路34に出力する。PLL回路34はこの積分等化したRF信号 $S_{INT}$ に基づいてチャネルクロックCCK(例えば9.4[MHz])を生成する。この場合、PLL回路34はRF信号 $S_{INT}$ のゼロクロス点をエッジ情報として動作する。このためRF信号 $S_{INT}$ に振幅変動が生じたとしても、PLL回路34は安定して動作することができる。

【0022】このチャネルクロックCCKは遅延回路35に入力され、ここで所定時間遅延することによって位相調整される。このとき遅延回路35はアツプダウンカウンタ36から出力される4ビットの遅延コントロール信号 $S_{30}$ に基づいてチャネルクロックCCKを遅延する。この場合、遅延コントロール信号 $S_{30}$ を4ビット

構成にしたため、遅延回路35は16ステップで遅延時間を変えることができる。因みに、遅延回路35は、遅延コントロール信号 $S_{30}$ の数値が大きくなると遅延時間を大きくし、遅延コントロール信号 $S_{30}$ の数値が小さくなると遅延時間を小さくするようになされている。このように位相調整されたチャネルクロックCCK(以下これを遅延チャネルクロックCCK'と呼ぶ)は、上述のアナログデジタル変換回路33に動作クロックとして出力される。

【0023】アナログデジタル変換回路33はPR(1, 1)で波形等化したRF信号 $S_{PR}$ をこの遅延チャネルクロックCCK'に基づいてアナログデジタル変換し、その結果得たRFデータ $D_{RF}$ をビタビ復号回路(図示せず)に出力する。因みに、ビタビ復号回路はこのRFデータ $D_{RF}$ にビタビ復号を施してオーディオデータを検出する。

【0024】ここで位相誤差検出回路37には遅延チャネルクロックCCK'、RFデータ $D_{RF}$ 及びエッジ検出回路38で検出されたヘッドスイッチングパルス $S_{HSP}$ のエッジ情報 $S_{31}$ が入力されている。位相誤差検出回路37はこれらの情報を基に遅延チャネルクロックCCK'と最適なアナログデジタル変換ポイント(図22で示した○印)との位相誤差を検出する。その結果、位相誤差検出回路37は、遅延チャネルクロックCCK'の位相が進んでいれば位相制御信号 $S_{32}$ として「1」を出力し、遅延チャネルクロックCCK'の位相が遅れていれば位相制御信号 $S_{32}$ として「0」を出力する。

【0025】アツプダウンカウンタ36はこの位相制御信号 $S_{32}$ に応じて遅延コントロール信号 $S_{30}$ の数値を変化させる。この場合、アツプダウンカウンタ36は、位相制御信号 $S_{32}$ が「1」のとき遅延コントロール信号 $S_{30}$ の数値をカウントアツプし、位相制御信号 $S_{32}$ が「0」のとき遅延コントロール信号 $S_{30}$ の数値をカウントダウンする。このように位相制御信号 $S_{32}$ に応じて遅延コントロール信号 $S_{30}$ の数値を変化させることにより、遅延チャネルクロックCCK'の位相を変化させて当該遅延チャネルクロックCCK'の位相を最適なアナログデジタル変換ポイントに合わせるることができる。

【0026】ところで遅延チャネルクロックCCK'の位相を頻繁に変化させると回路全体が不安定になるおそれがある。このためアツプダウンカウンタ36はヘッドスイッチングパルス $S_{HSP}$ の両エッジに基づいて動作するようになされている。すなわちアツプダウンカウンタ36には動作クロックとしてエッジ検出回路38で検出されたヘッドスイッチングパルス $S_{HSP}$ のエッジ情報 $S_{31}$ が入力されており、アツプダウンカウンタ36はこのエッジ情報 $S_{31}$ に基づいて動作して遅延コントロール信号 $S_{30}$ を変化させる。従つて遅延チャネルクロックCCK'の位相を変化させる割合は1トラック当たり

1 回になる。

【0027】因みに、エッジ検出回路 38 はエクスクルーシブオアゲート 39 とバツファゲート 40 によつて構成されている。この場合、エクスクルーシブオアゲート 39 にはヘッドスイッチングパルス  $S_{HSP}$  とバツファゲート 40 によつて遅延したヘッドスイッチングパルス  $S_{HSP}'$  とが入力されている。このように構成すると、ヘッドスイッチングパルス  $S_{HSP}$  のエッジ部分でヘッドスイッチングパルス  $S_{HSP}$ 、 $S_{HSP}'$  がそれぞれ逆相になり、エクスクルーシブオアゲート 39 は「1」を出力する。すなわちエッジ検出回路 38 はヘッドスイッチングパルス  $S_{HSP}$  のエッジを検出し、エッジが検出された場合にエッジ情報  $S_{31}$  として「1」を出力する。

【0028】このようにして RF 信号処理段 30 では、位相誤差検出回路 37 で遅延チャネルクロック  $CLK'$  の位相誤差を検出し、その検出結果（すなわち位相制御信号  $S_{32}$ ）に応じて遅延チャネルクロック  $CLK'$  の位相を変化させることにより、遅延チャネルクロック  $CLK'$  の位相を最適なアナログデジタル変換ポイントに合わせることができる。すなわち遅延チャネルクロック  $CLK'$  を自動調整することができる。次にこの位相誤差検出回路について、各実施例毎に説明する。

#### 【0029】(3) 第 1 実施例

##### (3-1) 位相誤差検出回路の動作原理

この第 1 実施例において、位相誤差検出回路は、「1」、「1」、「0」、「0」、「1」、「1」、「0」、「0」……のように遅延チャネルクロック  $CLK'$  に対して周波数が  $1/4$  のデータ列（すなわち周波数が 2.35 [MHz] となる単一周波数のデータ列、以下これを 2T 信号と呼ぶ）が記録されている部分を再生したときに得られる信号を対象にして遅延チャネルクロック  $CLK'$  の位相誤差を検出する。この 2T 信号が記録されている部分を再生して得た RF 信号  $S_{RF}$  を PR (1, 1) で等化すると、図 3 に示すように、-1 [V]、0 [V]、+1 [V]、0 [V]……を順に繰り返す単一周波数の信号になる。因みに、図中○印は最適なアナログデジタル変換ポイントを示す。

【0030】位相誤差検出回路は、まずこのような単一周波数の RF 信号  $S_{PR}$  をアナログデジタル変換した RF データ  $D_{RF}$  から信号波形の立ち下がり（すなわちネガティブエッジ）及び立ち上がり（すなわちポジティブエッジ）を検出する。この場合、位相誤差検出回路は隣接する 3 つの RF データ  $D_{RFA}$ 、 $D_{RFB}$ 、 $D_{RFC}$  について、図 4 に示すように、 $D_{RFC} > D_{RFA}$  が成立すればネガティブエッジと判定し、図 5 に示すように、 $D_{RFC} < D_{RFA}$  が成立すればポジティブエッジと判定する。

【0031】一方で、位相誤差検出回路は RF データ  $D_{RF}$  の中から 0 [V] に対応するデータを検出する。そして位相誤差検出回路はこれらの検出結果を基にネガティブエッジの 0 [V] に対応する RF データ  $D_{RFN}$  とポジ

ティブエッジの 0 [V] に対応する RF データ  $D_{RFP}$  を検出する。位相誤差検出回路はこのようにして検出されたネガティブエッジの 0 [V] に対応する RF データ  $D_{RFN}$  とポジティブエッジの 0 [V] に対応する RF データ  $D_{RFP}$  とを比較し、その結果、RF データ  $D_{RFN}$  の方が大きければ遅延チャネルクロック  $CLK'$  の位相が進んでいると判定し、RF データ  $D_{RFP}$  の方が大きければ遅延チャネルクロック  $CLK'$  の位相が遅れていると判定する。このようにして RF データ  $D_{RFN}$ 、 $D_{RFP}$  の大小比較によつて位相判定し得る理由は、遅延チャネルクロック  $CLK'$  の位相が進んでいれば、図 6 に示すように、RF データ  $D_{RFN}$  が RF データ  $D_{RFP}$  よりも大きくなり、位相が遅れていれば、図 7 に示すように、RF データ  $D_{RFP}$  が RF データ  $D_{RFN}$  よりも大きくなるという特性があるからである。

#### 【0032】(3-2) 位相誤差検出回路の構成

図 8 において、50 は全体として位相誤差検出回路を示し、大きく分けてデータ検出段 51 と位相検出段 52 によつて構成されている。データ検出段 51 はエッジ検出部 51A で RF データ  $D_{RF}$  の中からネガティブエッジ及びポジティブエッジを検出すると共に、仮検出回路 53 で RF データ  $D_{RF}$  の中から 0 [V] に対応するデータを検出し、これらの検出結果を基にネガティブエッジの 0 [V] に対応する RF データ  $D_{RFN}$  とポジティブエッジの 0 [V] に対応する RF データ  $D_{RFP}$  を検出する。位相検出段 52 は検出された RF データ  $D_{RFN}$  と RF データ  $D_{RFP}$  を比較して遅延チャネルクロック  $CLK'$  の位相誤差を検出する。この場合、位相誤差検出回路 50 にはモノステーブル・マルチバイブレータ（以下これをモノマルチと呼ぶ）54 が設けられており、このモノマルチ 54 が 2T 信号の記録部分を検出したときデータ検出段 51 は上述のように RF データ  $D_{RFN}$ 、 $D_{RFP}$  を検出する。

【0033】ここで上述のエッジ検出部 51A はまず遅延回路 55 でデジタル化した RF データ  $D_{RF}$  の位相を遅延する。この場合、遅延回路 55 は遅延チャネルクロック  $CLK'$  に基づいて動作し、後述するように、同じ RF データ  $D_{RF}$  に対して仮検出回路 53 の出力タイミングとラッチ回路 (D) 56 の出力タイミングが一致するように RF データ  $D_{RF}$  の位相を所定時間遅延する。すなわち遅延回路 55 は仮検出回路 53 で生じるクロック消費分（すなわち仮検出回路 53 で生じる遅延時間）を補正するために設けられている。遅延回路 55 はこのように RF データ  $D_{RF}$  を所定時間遅延し、その結果得た RF データ  $D_{RFA}$  をラッチ回路 56 及びコンパレータ 57 の反転入力側に出力する。

【0034】ラッチ回路 56 は遅延チャネルクロック  $CLK'$  に基づいて動作し、1 クロック分この RF データ  $D_{RFA}$  の位相を遅らせ、その結果得た RF データ  $D_{RFB}$  をラッチ回路 (D) 58 及びスイッチ 59 に出力する。

10

20

30

40

50

ラッチ回路58は同様に遅延チャネルクロックCCK'に基づいて動作し、1クロック分このRFデータD<sub>RFB</sub>の位相を遅らせ、その結果得たRFデータD<sub>RFC</sub>をコンパレータ57の非反転入力側に出力する。このように構成すると、RFデータD<sub>RFB</sub>を現在とすれば、RFデータD<sub>RFA</sub>は1サンプル未来のデータ、RFデータD<sub>RFC</sub>は1サンプル過去のデータになる。因みに、ラッチ回路56、58はRFデータD<sub>RF</sub>のビット数分のラッチ回路である。

【0035】コンパレータ57は入力されたRFデータD<sub>RFA</sub>とRFデータD<sub>RFC</sub>との電圧値を比較する。その結果、コンパレータ57は、RFデータD<sub>RFC</sub>がRFデータD<sub>RFA</sub>よりも大きければ(すなわち図4に示すような状態であれば)ネガティブエッジとして「1」を出力し、RFデータD<sub>RFA</sub>がRFデータD<sub>RFC</sub>よりも大きければ(すなわち図5に示すような状態であれば)ポジティブエッジとして「0」を出力する。このコンパレータ57の出力はスイッチ切換制御信号S33としてスイッチ59、60に出力される。このようにしてエッジ検出部51Aはネガティブエッジとポジティブエッジを検出し、その検出結果(すなわちスイッチ切換制御信号S33)をスイッチ59、60に出力する。

【0036】一方、仮検出回路53は遅延チャネルクロックCCK'に基づいて動作し、入力されたRFデータD<sub>RF</sub>を2値化する。仮検出回路53は振幅変動がある場合でも安定した3値検出ができるようになされており、RFデータD<sub>RF</sub>が0[V]に対応するデータであれば仮検出データD<sub>DET</sub>として「1」を出力し、RFデータD<sub>RF</sub>が±1[V]に対応するデータであれば仮検出データD<sub>DET</sub>として「0」を出力する。因みに、上述のように遅延回路55が設けられているため、仮検出データD<sub>DET</sub>が「1」のときにはRFデータD<sub>RFB</sub>は0[V]に対応したデータになり、仮検出データD<sub>DET</sub>が「0」のときにはRFデータD<sub>RFB</sub>は±1[V]に対応したデータになつている。

【0037】この仮検出データD<sub>DET</sub>はアンドゲート61に入力されている。またアンドゲート61には遅延チャネルクロックCCK'及びモノマルチ54で生成された評価タイミングパルスS34が入力されている。このアンドゲート61は仮検出データD<sub>DET</sub>及び評価タイミングパルスS34が「1」のとき遅延チャネルクロックCCK'を出力する。このアンドゲート61から出力される遅延チャネルクロックCCK'は、ローパスフィルタ(LPF)63、64の動作クロックS35としてスイッチ60に出力される。

【0038】因みに、評価タイミングパルスS34は、上述の2T信号が記録されている部分のタイミングを知らせる信号であり、2T信号が記録されている部分以外で位相判定することを防止する役割がある。モノマルチ54はエッジ検出回路38(図2)で検出されたヘッド

スイッチングパルスS<sub>HSP</sub>のエッジ情報S31をトリガとして所定パルス幅の評価タイミングパルスS34を発生する。その際、モノマルチ54はヘッドスイッチングパルスS<sub>HSP</sub>のエッジタイミングよりも若干位相を遅らせて評価タイミングパルスS34を発生する。

【0039】この実施例の場合、図9に示すように、2T信号が記録されている部分は記録トラックの入口部分及び出口部分(すなわち当たりマージン部)であり、モノマルチ54はこの入口部分の当たりマージン部に対して評価タイミングパルスS34を発生する。この場合、モノマルチ54は、図10に示すように、入口部分の当たりマージン部の後半で評価タイミングパルスS34を発生する。このように当たりマージン部分全域を評価タイミングとしないのは、図中の区間M<sub>A</sub>ではテープとヘッドの接触が悪いためRF信号S<sub>RF</sub>の振幅が小さいので(すなわち当たりが悪いので)PLL回路34(図2)が正確にロックしないおそれがあり、さらに区間M<sub>B</sub>では当たりが良くなつてもしばらくはPLL回路34が安定するまでに時間を要することが考えられるからである。このような理由により、当たりマージン部の区間M<sub>A</sub>、M<sub>B</sub>を位相判定の対象から除外するようになされている。

【0040】このようにしてモノマルチ54で2T信号の記録部分が検出され、かつ仮検出回路53で0[V]に対応するRFデータD<sub>RF</sub>が検出されると、動作クロックS35が出力される。

【0041】ローパスフィルタ63はスイッチ60を介して供給される動作クロックS35に基づいて動作し、スイッチ59を介して供給されるRFデータD<sub>RFB</sub>を取り込む。同様に、ローパスフィルタ64はスイッチ60を介して供給される動作クロックS35に基づいて動作し、スイッチ59を介して供給されるRFデータD<sub>RFB</sub>を取り込む。

【0042】ここでRFデータD<sub>RFB</sub>を供給するためのスイッチ59は、スイッチ切換制御信号S33が「1」のときローパスフィルタ63側に切り換わり、スイッチ切換制御信号S33が「0」のときローパスフィルタ64側に切り換わる。従つてローパスフィルタ63はネガティブエッジのときにRFデータD<sub>RFB</sub>が供給されることになり、ローパスフィルタ64はポジティブエッジのときにRFデータD<sub>RFB</sub>が供給されることになる。また動作クロックS35を供給するためのスイッチ60は、スイッチ切換制御信号S33が「1」のときローパスフィルタ63側に切り換わり、スイッチ切換制御信号S33が「0」のときローパスフィルタ64側に切り換わる。従つてローパスフィルタ63はネガティブエッジのときに動作クロックS35が供給されることになり、ローパスフィルタ64はポジティブエッジのときに動作クロックS35が供給されることになる。

【0043】ところで動作クロックS35はアンドゲー

ト61によつてコントロールされており、仮検出データ  $D_{DET}$  が「1」にならなければ出力されない。しかも仮検出データ  $D_{DET}$  が「1」になつたときには、上述のようにRFデータ  $D_{RFB}$  は0[V]に対応するデータになつてゐる。従つてローパスフィルタ63はネガティブエッジの0[V]に対応するRFデータ  $D_{RFN}$  を取り込むことになり、ローパスフィルタ64はポジティブエッジの0[V]に対応するRFデータ  $D_{RFP}$  を取り込むことになる。ローパスフィルタ63はこのようにして取り込んだ複数のRFデータ  $D_{RFN}$  を平滑してその平均電圧を出力信号S36として出力する。同様に、ローパスフィルタ64は取り込んだ複数のRFデータ  $D_{RFP}$  を平滑してその平均電圧を出力信号S37として出力する。

【0044】このようにしてデータ検出段51はネガティブエッジの0[V]に対応するRFデータ  $D_{RFN}$  とポジティブエッジの0[V]に対応するRFデータ  $D_{RFP}$  を検出し、その検出結果としてRFデータ  $D_{RFN}$  の平均電圧（すなわち出力信号S36）とRFデータ  $D_{RFP}$  の平均電圧（すなわち出力信号S37）を出力する。

【0045】ここで位相検出段52はコンパレータ65によつて構成されている。このコンパレータ65はローパスフィルタ63、64からそれぞれ出力される出力信号S36、S37の電圧値を比較して遅延チャネルクロック  $CLK'$  の位相誤差を検出する。ところで遅延チャネルクロック  $CLK'$  の位相が進んでいる場合には、図6に示すように、RFデータ  $D_{RFN}$  の方がRFデータ  $D_{RFP}$  よりも大きいので、ローパスフィルタ63の出力信号S36の方がローパスフィルタ64の出力信号S37よりも大きくなる。また遅延チャネルクロック  $CLK'$  の位相が遅れている場合には、図7に示すように、RFデータ  $D_{RFP}$  の方がRFデータ  $D_{RFN}$  よりも大きいので、ローパスフィルタ64の出力信号S37の方がローパスフィルタ63の出力信号S36よりも大きくなる。従つてコンパレータ65で出力信号S36、S37を比較すれば、位相誤差を検出できる。この場合、コンパレータ65は遅延チャネルクロック  $CLK'$  の位相が進んでいるとき位相制御信号S32として「1」を出力し、位相が遅れているとき位相制御信号S32として「0」を出力する。

#### 【0046】（3-3）動作及び効果

以上の構成において、データ検出段51はまずエッジ検出部51AによつてRFデータ  $D_{RF}$  からネガティブエッジ及びポジティブエッジを検出する。この場合、エッジ検出部51Aは隣接する3つのRFデータ  $D_{RFA}$ 、 $D_{RFB}$ 、 $D_{RFC}$  のうちRFデータ  $D_{RFA}$ 、 $D_{RFC}$  の電圧値を比較してネガティブエッジ及びポジティブエッジを検出する。そしてエッジ検出部51Aは検出したエッジ情報をスイッチ切換制御信号S33としてスイッチ59、60に出力すると共に、RFデータ  $D_{RFB}$  をスイッチ59に出力する。この場合、スイッチ59がスイッチ切換

制御信号S33によつて切り換えられることにより、RFデータ  $D_{RFB}$  はネガティブエッジのときにローパスフィルタ63に供給され、ポジティブエッジのときにローパスフィルタ64に供給される。

【0047】一方、仮検出回路53はRFデータ  $D_{RF}$  を2値化して当該RFデータ  $D_{RF}$  の中から0[V]に対応するデータを検出し、検出結果として仮検出データ  $D_{DET} = \text{「1」}$  を出力する。またモノマルチ54は2T信号が記録されている部分を検出し、検出結果として評価タイミングパルスS34=「1」を出力する。そしてアンドゲート61はこれらの情報を基に動作クロックS35の出力を制御する。この場合、スイッチ60がスイッチ切換制御信号S33によつて切り換えられることにより、出力された動作クロックS35はネガティブエッジのときにローパスフィルタ63に供給され、ポジティブエッジのときにローパスフィルタ64に供給される。これによりローパスフィルタ63はネガティブエッジのときに動作してRFデータ  $D_{RFB}$  を取り込み、ローパスフィルタ64はポジティブエッジのときに動作してRFデータ  $D_{RFB}$  を取り込む。

【0048】ところで動作クロックS35が出力されるときには、RFデータ  $D_{RFB}$  は0[V]に対応するデータになつてゐる。このためローパスフィルタ63はネガティブエッジの0[V]に対応したRFデータ  $D_{RFN}$  を取り込むことになり、ローパスフィルタ64はポジティブエッジの0[V]に対応したRFデータ  $D_{RFP}$  を取り込むことになる。ローパスフィルタ63は取り込んだ複数のRFデータ  $D_{RFN}$  を平滑し、その結果得た平均電圧を出力信号S36として出力する。またローパスフィルタ64は取り込んだ複数のRFデータ  $D_{RFP}$  を平滑し、その結果得た平均電圧を出力信号S37として出力する。

【0049】位相検出段52のコンパレータ65はこの出力信号S36、S37の電圧値を比較する。その結果、コンパレータ65は、出力信号S36の方が大きければ遅延チャネルクロック  $CLK'$  の「位相進み」として位相制御信号S32=「1」を出力し、出力信号S37の方が大きければ遅延チャネルクロック  $CLK'$  の「位相遅れ」として位相制御信号S32=「0」を出力する。

【0050】このように位相誤差検出回路50では、RFデータ  $D_{RF}$  からネガティブエッジとポジティブエッジを検出すると共に、0[V]に対応したRFデータ  $D_{RF}$  を検出し、これらの検出結果を基にネガティブエッジの0[V]に対応したRFデータ  $D_{RFN}$  とポジティブエッジの0[V]に対応したRFデータ  $D_{RFP}$  を検出する。そして位相誤差検出回路50では、このネガティブエッジの0[V]に対応したRFデータ  $D_{RFN}$  とポジティブエッジの0[V]に対応したRFデータ  $D_{RFP}$  を比較して遅延チャネルクロック  $CLK'$  の位相誤差を検出す



る。

【0051】この場合、0[V]に対応するデータの電圧値で位相検出するため、±1[V]に対応するデータの電圧値で位相検出するよりも位相誤差がダイレクトに電圧値に現れることになる。またローパスフィルタ63、64で複数のRFデータ $D_{RFN}$ 、 $D_{RFP}$ を平滑し、その結果得た平均電圧で位相検出するためノイズの影響を受け難くなっている。また2T信号を検出対象としたため他の信号を検出対象とした場合に比して仮検出の検出誤りが少なくなる。このため位相誤差検出回路50は、位相誤差を精度良く検出できる。

【0052】因みに、この実施例の場合、検出対象の単一周波数信号として2T信号を用いたが、この理由はネガティブエッジとポジティブエッジの出現頻度が他の周波数の信号よりも多く、位相判定の頻度が多くなるからである。仮に4T信号（すなわち2T信号の半分の周波数の信号）を対象にして位相判定するとネガティブエッジとポジティブエッジの出現頻度が2T信号のときの半分になつてしまい、位相判定の頻度が少なくなってしまう。またPLL回路34（図2）や仮検出回路55の安定動作のためにも2T信号が最も望ましいと考えられる。

【0053】以上の構成によれば、RFデータ $D_{RF}$ の中からネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ とポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ を検出し、検出されたRFデータ $D_{RFN}$ とRFデータ $D_{RFP}$ を比較して位相誤差を検出するようにしたことにより、遅延チャネルクロック $CLK'$ の位相誤差を精度良く検出できる。従つてこのように精度良く位相誤差を検出できる位相誤差検出回路50を用いて遅延チャネルクロック $CLK'$ の位相を補正すれば、最適なアナログデジタル変換ポイントに遅延チャネルクロック $CLK'$ の位相を合わせることができる。またこのような位相誤差検出回路50を用いれば、DATを無調整化することができると共に、製品のばらつきを無くすことができ、さらにコストダウン、フルデジタル化及び小型化が期待できる。

#### 【0054】（4）第2実施例

##### （4-1）位相誤差検出回路の構成

図8との対応部分に同一符号を付して示す図11において、70は全体として位相誤差検出回路を示し、データ検出段51の一部及び位相検出段71を除いて第1実施例と同様に構成されている。この実施例の場合、データ検出段51には、ローパスフィルタの代わりにネガティブエッジの0[V]に対応する最新のRFデータ $D_{RFN}$ を保持するラッチ回路(D)72とポジティブエッジの0[V]に対応する最新のRFデータ $D_{RFP}$ を保持するラッチ回路(D)73が設けられている。

【0055】このラッチ回路72、73から出力されるRFデータ $D_{RFN}$ 、 $D_{RFP}$ はそれぞれ位相検出段71の

引き算回路74に入力され、ここで差を取つた後、ローパスフィルタ(LPF)75に入力される。ローパスフィルタ75は動作クロックS35を基に動作して差分データ $D_{RFN} - D_{RFP}$ を順に取り込み、そして取り込んだ複数の差分データ $D_{RFN} - D_{RFP}$ を平滑する。この場合、第1実施例でも述べたように、遅延チャネルクロック $CLK'$ の位相が進んでいればRFデータ $D_{RFN}$ の方が大きくなり、位相が遅れていればRFデータ $D_{RFP}$ の方が大きくなる。これにより位相が進んでいれば $D_{RFN} > D_{RFP}$ の関係が成り立つため、差分データ $D_{RFN} - D_{RFP}$ は正になる。また位相が遅れていれば $D_{RFN} < D_{RFP}$ の関係が成り立つため、差分データ $D_{RFN} - D_{RFP}$ は負になる。

【0056】ここでこの系で扱うデジタルデータは2の補数で表現されているため、差分データ $D_{RFN} - D_{RFP}$ の正負は符号ビットであるMSB（すなわち最上位ビット）によつて判別し得る。このためローパスフィルタ75は位相判定結果として差分データ $D_{RFN} - D_{RFP}$ のMSBを出力する。この場合、判定結果として出力されるMSBは位相が進んでいれば「0」になり、位相が遅れていれば「1」になる。このためローパスフィルタ75から出力されるMSBはインバータゲート76に入力され、ここで論理の正負を合わせるために論理反転された後、位相制御信号S32としてアツプダウンカウンタ36（図2）に出力される。

##### 【0057】（4-2）効果

以上の構成によれば、ネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ とポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ との差を取り、その差分データ $D_{RFN} - D_{RFP}$ の正負によつて位相判定するようにしたことにより、コンパレータやゲート数の多いローパスフィルタを減らすことができ、全体として構成を容易にできる。

##### 【0058】（5）第3実施例

##### （5-1）位相誤差検出回路の動作原理

この第3実施例において、位相誤差検出回路は、2T信号のように単一周波数のデータ列を再生したときに得られる信号のみを対象とせず、再生した全ての信号を対象にして遅延チャネルクロック $CLK'$ の位相誤差を検出する。すなわち第1実施例では、図3に示したように、2T信号が記録されている部分を再生して得た単一周波数のRF信号 $S_{PR}$ を対象にして位相誤差を検出したが、この第3実施例では、図12に示すように、単一周波数とは限らないRF信号 $S_{PR}$ を対象にして位相誤差を検出する。

【0059】位相誤差検出回路は、まず単一周波数とは限らないRF信号 $S_{PR}$ をアナログデジタル変換したRFデータ $D_{RF}$ から、ネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ と、ポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ とを検出する。そして位相

10

20

30

40

50



誤差検出回路は、検出されたネガティブエッジの0

〔V〕に対応するRFデータ $D_{RFN}$ とポジティブエッジの0〔V〕に対応するRFデータ $D_{RFP}$ との差を取り、その差分データ $D_{RFN} - D_{RFP}$ の正負によつて遅延チャネルクロック $CLK'$ の位相誤差を検出する。

【0060】この場合、遅延チャネルクロック $CLK'$ の位相が進んでいれば、図13に示すように、ネガティブエッジの0〔V〕に対応するRFデータ $D_{RFN}$ がポジティブエッジの0〔V〕に対応するRFデータ $D_{RFP}$ よりも大きくなり、差分データ $D_{RFN} - D_{RFP}$ は正になる。また遅延チャネルクロック $CLK'$ の位相が遅れてい

れば、図14に示すように、ポジティブエッジの0〔V〕に対応するRFデータ $D_{RFP}$ がネガティブエッジの0〔V〕に対応するRFデータ $D_{RFN}$ よりも大きくなり、差分データ $D_{RFN} - D_{RFP}$ は負になる。この実施例の場合、位相誤差検出回路はこのような動作原理に基づいて遅延チャネルクロック $CLK'$ の位相誤差を検出する。

【0061】(5-2) 位相誤差検出回路の構成

図15において、80は全体として位相誤差検出回路を示し、大きく分けてデータ検出段81、位相検出段82によつて構成されている。データ検出段81はタイミング検出部81A、データ遅延部81B及びラッチ回路

(D) 81C、81Dによつて構成されており、タイミング検出部81Aで検出したタイミングに基づいてラッチ回路81C、81Dを動作させ、データ遅延部81Bで遅延したRFデータ $D_{RF}$ をラッチすることにより、ネガティブエッジの0〔V〕に対応するRFデータ $D_{RFN}$ とポジティブエッジの0〔V〕に対応するRFデータ $D_{RFP}$ を検出する。位相検出段82は検出されたネガティブエッジの0〔V〕に対応するRFデータ $D_{RFN}$ とポジティブエッジの0〔V〕に対応するRFデータ $D_{RFP}$ を基に遅延チャネルクロック $CLK'$ の位相誤差を検出する。

【0062】ここで上述のタイミング検出部81Aはまず仮検出回路83でRFデータ $D_{RF}$ を2値化する。この場合、仮検出回路83には遅延チャネルクロック $CLK'$ が供給されており、仮検出回路83はこの遅延チャネルクロック $CLK'$ に基づいて動作してRFデータ $D_{RF}$ を2値化する。因みに、遅延チャネルクロック $CLK'$ は遅延回路84にも供給されると共に、図中省略したがラッチ回路(D) 81C、81D、85~91、93、94及びローパスフィルタ(LPF) 97にも動作クロックとして供給されている。この場合、ラッチ回路85~91は1ビット分のラッチ回路であり、ラッチ回路81C、81D、93、94はRFデータ $D_{RF}$ のビット数分のラッチ回路である。

【0063】仮検出回路83は振幅変動がある場合でも安定した3値検出ができるようになされており、検出したデータを2つの出力端子に仮検出データ $D_{DET1}$ 、D

$D_{DET2}$ として所定の規則で出力する。例えばRFデータ $D_{RF}$ が+1〔V〕に対応するデータであれば、仮検出回路83は仮検出データ $D_{DET1}$ として「0」を出力すると共に、仮検出データ $D_{DET2}$ として「1」を出力する。またRFデータ $D_{RF}$ が0〔V〕に対応するデータであれば、仮検出回路83は仮検出データ $D_{DET1}$ として「1」を出力すると共に、仮検出データ $D_{DET2}$ として「不定値」を出力する。さらにRFデータ $D_{RF}$ が-1〔V〕に対応するデータであれば、仮検出回路83は仮検出データ $D_{DET1}$ として「0」を出力すると共に、仮検出データ $D_{DET2}$ として「0」を出力する。この仮検出データ $D_{DET1}$ はラッチ回路85に出力され、仮検出データ $D_{DET2}$ はラッチ回路88に出力される。

【0064】ラッチ回路85は遅延チャネルクロック $CLK'$ に基づいて動作し、この仮検出データ $D_{DET1}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET1A}$ をラッチ回路86に出力すると共に、インバータゲート98を介してナンドゲート99に出力し、さらにインバータゲート100を介してナンドゲート101に出力する。ラッチ回路86も同様に遅延チャネルクロック $CLK'$ に基づいて動作し、仮検出データ $D_{DET1A}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET1B}$ をラッチ回路87に出力すると共に、ナンドゲート99、101に出力する。ラッチ回路87も同様に遅延チャネルクロック $CLK'$ に基づいて動作し、仮検出データ $D_{DET1B}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET1C}$ をインバータゲート102を介してナンドゲート99に出力すると共に、インバータゲート103を介してナンドゲート101に出力する。このように構成すると、仮検出データ $D_{DET1B}$ を現在とすれば、仮検出データ $D_{DET1A}$ は1サンプル未来のデータ、仮検出データ $D_{DET1C}$ は1サンプル過去のデータになる。

【0065】ラッチ回路88は遅延チャネルクロック $CLK'$ に基づいて動作し、仮検出データ $D_{DET2}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET2A}$ をラッチ回路89、ナンドゲート101に出力すると共に、インバータゲート104を介してナンドゲート99に出力する。ラッチ回路89も同様に遅延チャネルクロック $CLK'$ に基づいて動作し、仮検出データ $D_{DET2A}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET2B}$ をラッチ回路90に出力する。ラッチ回路90も同様に遅延チャネルクロック $CLK'$ に基づいて動作し、仮検出データ $D_{DET2B}$ を1クロック分遅延させ、その結果得た仮検出データ $D_{DET2C}$ をナンドゲート99に出力すると共に、インバータゲート105を介してナンドゲート101に出力する。このように構成すると、仮検出データ $D_{DET2B}$ を現在とすれば、仮検出データ $D_{DET2A}$ は1サンプル未来のデータ、仮検出データ $D_{DET2C}$ は1サンプル過去のデータになる。

【0066】ナンドゲート99、101にはそれぞれモノマルチ106で生成した評価タイミングパルスS40が入力されている。この評価タイミングパルスS40は位相判定すべき期間を知らせる信号であり、それ以外の期間で位相判定することを防止する役割がある。因みに、モノマルチ106はエッジ検出回路38(図2)で検出されたヘツドスイッチングパルスS<sub>HSP</sub>のエッジ情報S31をトリガとして所定パルス幅の評価タイミングパルスS40を発生する。この場合、モノマルチ106は、図16に示すように、RF信号S<sub>RF</sub>が存在する区間

10 全域に対して評価タイミングパルスS40を発生する。  
【0067】このようにナンドゲート99には評価タイミングパルスS40、仮検出データD<sub>DET1A</sub>をインバータゲート98で反転したデータ、仮検出データD<sub>DET1B</sub>、仮検出データD<sub>DET1C</sub>をインバータゲート102で反転したデータ、仮検出データD<sub>DET2A</sub>をインバータゲート104で反転したデータ、仮検出データD<sub>DET2C</sub>がそれぞれ入力されている。このためナンドゲート99は、評価タイミングパルスS40が「1」、仮検出データD<sub>DET1A</sub>が「0」、仮検出データD<sub>DET1B</sub>が「1」、仮検出データD<sub>DET1C</sub>が「0」、仮検出データD<sub>DET2A</sub>が「0」、仮検出データD<sub>DET2C</sub>が「1」のときに「0」を出力し、それ以外の場合に「1」を出力する。

【0068】またナンドゲート101には評価タイミングパルスS40、仮検出データD<sub>DET1A</sub>をインバータゲート100で反転したデータ、仮検出データD<sub>DET1B</sub>、仮検出データD<sub>DET1C</sub>をインバータゲート103で反転したデータ、仮検出データD<sub>DET2A</sub>、仮検出データD<sub>DET2C</sub>をインバータゲート105で反転したデータがそれぞれ入力されている。このためナンドゲート101は、評価タイミングパルスS40が「1」、仮検出データD<sub>DET1A</sub>が「0」、仮検出データD<sub>DET1B</sub>が「1」、仮検出データD<sub>DET1C</sub>が「0」、仮検出データD<sub>DET2A</sub>が「1」、仮検出データD<sub>DET2C</sub>が「0」のときに「0」を出力し、それ以外の場合に「1」を出力する。

【0069】因みに、ナンドゲート99が出力する「0」はネガティブエッジの0[V]に対応するRFデータD<sub>RFN</sub>を検出したことを意味し、ナンドゲート101が出力する「0」はポジティブエッジの0[V]に対応するRFデータD<sub>RFP</sub>を検出したことを意味する。この点について以下に説明する。

【0070】図12において時点t<sub>2</sub>で示すように、ネガティブエッジの0[V]に対応するRFデータD<sub>RFN</sub>の前後には、+1[V]に対応するRFデータD<sub>RF</sub>と-1[V]に対応するRFデータD<sub>RF</sub>が並ぶことになる。すなわち仮検出データとしては、図17(A)に示すように、仮検出データD<sub>DET1</sub>が「1」、仮検出データD<sub>DET2</sub>が「不定値」になる状態の前後に、仮検出データD<sub>DET1</sub>が「0」、仮検出データD<sub>DET2</sub>が「1」になる状態

と仮検出データD<sub>DET1</sub>が「0」、仮検出データD<sub>DET2</sub>が「0」になる状態とが並ぶことになる。この状態は、図17(B)に示すように、仮検出データD<sub>DET1A</sub>が「0」、仮検出データD<sub>DET1B</sub>が「1」、仮検出データD<sub>DET1C</sub>が「0」、仮検出データD<sub>DET2A</sub>が「0」、仮検出データD<sub>DET2B</sub>が「不定値」、仮検出データD<sub>DET2C</sub>が「1」になることを意味している。すなわちこの状態はナンドゲート99が「0」を出力する条件である(但し、評価タイミングパルスS40は「1」とし、仮検出データD<sub>DET2B</sub>は「不定値」のため除外する)。

【0071】また図12において時点t<sub>8</sub>(又は時点t<sub>15</sub>)で示すように、ポジティブエッジの0[V]に対応するRFデータD<sub>RFP</sub>の前後には、-1[V]に対応するRFデータD<sub>RF</sub>と+1[V]に対応するRFデータD<sub>RF</sub>が並ぶことになる。すなわち仮検出データとしては、図18(A)に示すように、仮検出データD<sub>DET1</sub>が「1」、仮検出データD<sub>DET2</sub>が「不定値」になる状態の前後に、仮検出データD<sub>DET1</sub>が「0」、仮検出データD<sub>DET2</sub>が「0」になる状態と仮検出データD<sub>DET1</sub>が「0」、仮検出データD<sub>DET2</sub>が「1」になる状態とが並ぶことになる。この状態は、図18(B)に示すように、仮検出データD<sub>DET1A</sub>が「0」、仮検出データD<sub>DET1B</sub>が「1」、仮検出データD<sub>DET1C</sub>が「0」、仮検出データD<sub>DET2A</sub>が「1」、仮検出データD<sub>DET2B</sub>が「不定値」、仮検出データD<sub>DET2C</sub>が「0」になることを意味している。すなわちこの状態はナンドゲート101が「0」を出力する条件である(但し、評価タイミングパルスS40は「1」とし、仮検出データD<sub>DET2B</sub>は「不定値」のため除外する)。

30 【0072】このようにしてナンドゲート99はネガティブエッジの0[V]に対応するRFデータD<sub>RFN</sub>が検出されたとき、検出結果として「0」を出力する。またナンドゲート101はポジティブエッジの0[V]に対応するRFデータD<sub>RFP</sub>が検出されたとき、検出結果として「0」を出力する。

【0073】このナンドゲート99の出力は動作タイミング信号S41としてラッチ回路81Cのイネーブル端子に出力されると共に、アンドゲート107に出力される。またナンドゲート101の出力は動作タイミング信号S42としてラッチ回路81Dのイネーブル端子に出力されると共に、アンドゲート107に出力される。アンドゲート107は、動作タイミング信号S41、S42のアンドをとる。そしてアンドゲート107の出力はラッチ回路91で遅延チャネルクロックCCK'の1クロック分遅延させられた後、動作タイミング信号S43として位相検出段82のローパスフィルタ97のイネーブル端子に出力される。この場合、ラッチ回路91を設けたことにより、図19に示すように、後述する引き算回路108の出力タイミングに合わせてローパスフィルタ97を動作させることができる。因みに、動作タイミ

ング信号S43は、動作タイミング信号S41又はS42が「0」の場合に「0」になる。

【0074】このようにしてタイミング検出部81Cはネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ を検出すると共に、ポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ を検出し、その検出結果として動作タイミング信号S41(=「0」)、動作タイミング信号S42(=「0」)、動作タイミング信号S43(=「0」)を出力する。

【0075】データ遅延部81Bはまず遅延回路84で10 デジタル化したRFデータ $D_{RF}$ を所定時間遅延し、その結果得たRFデータ $D_{RFA}$ をラッチ回路93に出力する。この場合、遅延回路84は仮検出回路83で生じるクロック消費分(すなわち仮検出回路83で生じる遅延時間)を補正するために設けられており、遅延チャネルクロック $CLK'$ に基づいて動作してRFデータ $D_{RF}$ を遅延する。ラッチ回路93は遅延チャネルクロック $CLK'$ に基づいて動作してRFデータ $D_{RFA}$ を1クロック分遅延し、その結果得たRFデータ $D_{RFB}$ をラッチ回路94に出力する。またラッチ回路94も同様に遅延チャネルクロック $CLK'$ に基づいて動作してRFデータ $D_{RFB}$ を1クロック分遅延し、その結果得たRFデータ $D_{RFC}$ をラッチ回路81C、81Dに出力する。このようなデータ遅延部81Bを設けると、動作タイミング信号S41が「0」になったとき、RFデータ $D_{RFC}$ はネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ になり、動作タイミング信号S42が「0」になったとき、RFデータ $D_{RFC}$ はポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ になる。

【0076】ラッチ回路81Cはイネーブル端子に動作30 タイミング信号S41が入力されているため、この動作タイミング信号S41が「0」になったときにRFデータ $D_{RFC}$ を取り込んでラッチする。この場合、上述のように動作タイミング信号S41が「0」になったときには、RFデータ $D_{RFC}$ はネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ になっているため、ラッチ回路81CとしてはRFデータ $D_{RFN}$ を取り込んでラッチすることになる。またラッチ回路81Dはイネーブル端子に動作タイミング信号S42が入力されているため、この動作タイミング信号S42が「0」になったとき40 RFデータ $D_{RFC}$ を取り込んでラッチする。この場合、上述のように動作タイミング信号S42が「0」になったときには、RFデータ $D_{RFC}$ はポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ になっているため、ラッチ回路81DとしてはRFデータ $D_{RFP}$ を取り込んでラッチすることになる。

【0077】ラッチ回路81C、81Dから出力されるRFデータ $D_{RFN}$ 、RFデータ $D_{RFP}$ はそれぞれ位相検出部82の引き算回路108に入力され、ここで差を取った後ローパスフィルタ97に入力される。ローパスフ

ィルタ97はイネーブル端子に動作タイミング信号S43が入力されているため、動作タイミング信号S43が「0」のときに動作して差分データ $D_{RFN} - D_{RFP}$ を取り込む。そしてローパスフィルタ97は取り込んだ複数の差分データ $D_{RFN} - D_{RFP}$ を平滑する。この場合、遅延チャネルクロック $CLK'$ の位相が進んでいれば、図13に示すように、ネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ がポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ よりも大きくなり、差分データ $D_{RFN} - D_{RFP}$ は正になる。また遅延チャネルクロック $CLK'$ の位相が遅れていれば、図14に示すように、ポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ がネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ よりも大きくなり、差分データ $D_{RFN} - D_{RFP}$ は負になる。

【0078】ここでこの系で扱うデジタルデータは2の補数で表現されているため、差分データ $D_{RFN} - D_{RFP}$ の正負は符号ビットであるMSB(すなわち上位ビット)によって判別し得る。従つてローパスフィルタ97は位相判定結果として平滑した差分データ $D_{RFN} - D_{RFP}$ のMSBを出力する。この場合、判定結果として出力されるMSBは位相が進んで入れば「0」になり、位相が遅れていれば「1」になる。このためローパスフィルタ97から出力されるMSBはインバータゲート109に入力され、ここで論理の正負を合わせるために論理反転された後、位相制御信号S32としてアップダウンカウンタ36(図2)に出力される。

【0079】(5-3)動作及び効果

以上の構成において、データ検出部81はまずタイミング検出部81AでRFデータ $D_{RF}$ の中からネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ とポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ を検出する。この場合、タイミング検出部81Aは仮検出回路83によつてRFデータ $D_{RF}$ を2値化し、その結果得た仮検出データ $D_{DET1}$ 、 $D_{DET2}$ のデータ変化を基にRFデータ $D_{RFN}$ とRFデータ $D_{RFP}$ を検出する。そしてタイミング検出部81AはRFデータ $D_{RFN}$ を検出したときにラッチ回路81Cに対して動作タイミング信号S41=「0」を出力し、RFデータ $D_{RFP}$ を検出したときにラッチ回路81Dに対して動作タイミング信号S42=「0」を出力する。またタイミング検出部81AはRFデータ $D_{RFN}$ 、 $D_{RFP}$ のいずれか一方を検出したときに位相検出部82のローパスフィルタ97に対して動作タイミング信号S43=「0」を出力する。

【0080】一方、データ遅延部81Bは遅延回路84及びラッチ回路93、94によつてRFデータ $D_{RF}$ を遅延し、その結果得たRFデータ $D_{RFC}$ をラッチ回路81C、81Dに出力する。この場合、データ遅延部81Bによつて遅延したRFデータ $D_{RFC}$ は、タイミング検出部81AがRFデータ $D_{RFN}$ を検出したときには当該R

Fデータ $D_{RFN}$ になり、タイミング検出部81AがRFデータ $D_{RFP}$ を検出したときに当該RFデータ $D_{RFP}$ になっている。

【0081】ラッチ回路81Cは動作タイミング信号S41が「0」になったときに動作してRFデータ $D_{RFC}$ を取り込んでラッチする。この場合、動作タイミング信号S41が「0」になったときには、上述のようにRFデータ $D_{RFC}$ はRFデータ $D_{RFN}$ になっているため、ラッチ回路81CはRFデータ $D_{RFN}$ を取り込んでラッチすることになる。またラッチ回路81Dは動作タイミング信号S42が「0」になったときに動作してRFデータ $D_{RFC}$ を取り込んでラッチする。この場合、動作タイミング信号S42が「0」になったときには、上述のようにRFデータ $D_{RFC}$ はRFデータ $D_{RFP}$ になっているため、ラッチ回路96はRFデータ $D_{RFP}$ を取り込んでラッチすることになる。

【0082】ラッチ回路81C、81Dから出力されるRFデータ $D_{RFN}$ 、RFデータ $D_{RFP}$ はそれぞれ位相検出段82の引き算回路108に入力され、ここで差を取った後ローパスフィルタ97に入力される。ローパスフィルタ97は動作タイミング信号S43が「0」になったときに動作して入力された差分データ $D_{RFN} - D_{RFP}$ を取り込み、取り込んだ複数の差分データ $D_{RFN} - D_{RFP}$ を平滑する。そしてローパスフィルタ97は平滑した差分データ $D_{RFN} - D_{RFP}$ の符号ビットであるMSBを遅延チャネルクロック $CLK'$ の位相判定結果として出力する。この場合、ローパスフィルタ97から出力されるMSBは、遅延チャネルクロック $CLK'$ の位相が進んでいけば「0」になり、位相が遅れていけば「1」になる。このためローパスフィルタ97から出力されるMSBはインバータゲート109に入力され、ここで論理の正負を合わせるために論理反転された後、位相制御信号S32としてアツプダウンカウンタ(図2)に出力される。

【0083】このようにして位相誤差検出回路80では、RFデータ $D_{RF}$ の中からネガティブエッジの0

[V]に対応するRFデータ $D_{RFN}$ とポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ とを検出し、そのRFデータ $D_{RFN}$ とRFデータ $D_{RFP}$ との差分データ $D_{RFN} - D_{RFP}$ の正負によつて遅延チャネルクロック $CLK'$ の位相誤差を検出する。位相誤差検出回路80は、このようにして位相誤差を検出することにより、RF信号 $S_{RF}$ が単一周波数の信号でない場合にも遅延チャネルクロック $CLK'$ の位相誤差を精度良く検出できる。

【0084】以上の構成によれば、RFデータ $D_{RF}$ の中からネガティブエッジの0[V]に対応するRFデータ $D_{RFN}$ とポジティブエッジの0[V]に対応するRFデータ $D_{RFP}$ とを検出し、そのRFデータ $D_{RFN}$ とRFデータ $D_{RFP}$ との差分データ $D_{RFN} - D_{RFP}$ の正負によつ

て遅延チャネルクロック $CLK'$ の位相誤差を検出するようにしたことにより、遅延チャネルクロック $CLK'$ の位相誤差を精度良く検出できる。このような位相誤差検出回路80を用いて遅延チャネルクロック $CLK'$ の位相を補正すれば、最適なアナログデジタル変換ポイントに遅延チャネルクロック $CLK'$ の位相を合わせることができる。

【0085】(6)他の実施例

なお上述の第3実施例においては、RF信号 $S_{RF}$ が存在する区間全域に対して評価タイミングパルスS40を発生するようにした場合について述べたが、本発明はこれに限らず、第1実施例のようにRF信号 $S_{RF}$ の先頭にある当たりマージン部に対して評価タイミングパルスS40を発生しても良い。このようにすれば、位相誤差の検出対象を2T信号にすることができ、遅延チャネルクロック $CLK'$ の位相誤差を一段と精度良く検出することができる。

【0086】また上述の実施例においては、PR(1,1)でRF信号 $S_{RF}$ を波形等化した場合について述べたが、本発明はこれに限らず、他のパシヤルレスポンスでRF信号 $S_{RF}$ を波形等化しても良い。但し、その場合には2T信号が最適な検出対象になるとは限らない。しかしながらその場合でも上述のように位相判定頻度なるべく多くなるような単一周波数の信号を検出対象とすることが望ましい。例えば7値のパシヤルレスポンス方式の場合、図20(A)に示すように、7値を順に繰り返すような単一周波数の信号を検出対象とすると、信号の中央に位置する $K_3$ を横切る頻度が少なくなり、位相判定頻度が少なくなってしまう。従つてこのような場合には、図20(B)に示すように、3値を順に繰り返すような単一周波数の信号を検出対象とすることが望ましい。

【0087】また上述の実施例においては、位相誤差検出回路37、50、70、80と位相修正手段としてのアツプダウンカウンタ36及び遅延回路35を分けた場合について述べたが、本発明はこれに限らず、位相誤差検出回路37、50、70、80が位相修正手段としてのアツプダウンカウンタ36及び遅延回路35を含むようにしても良い。

【0088】また上述の実施例においては、デジタルオーディオテープレコーダ(DAT)に適用した場合について述べたが、本発明はこれに限らず、例えばDATフォーマットを用いたハードディスクのバックアツプ装置やデジタルビデオテープレコーダ等にも適用し得る。要は、アナログデジタル変換回路の動作クロックの位相誤差を検出して当該動作クロックの位相を補正するような場合に本発明は適用し得る。

【0089】

【発明の効果】上述のように本発明によれば、デジタルデータの中から、多値信号の立ち下がり部分に対応

し、かつ奇数個の多値のうちの中央値に対応するデジタルデータを検出して第1の判定基準データを得ると共に、多値信号の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータを検出して第2の判定基準データを得るデータ検出手段と、データ検出手段によつて得た第1及び第2の判定基準データに基づいて実際の変換タイミングの位相ずれを検出する位相検出手段とを設けるようにしたことにより、実際の変換タイミングと所望の変換タイミングとの位相ずれを検出し得る。

【0090】また多値信号の中から単一周波数の信号部分を検出する単一信号検出手段と、単一信号検出手段が単一周波数の信号部分を検出した場合、デジタルデータの中から、多値信号の立ち下がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータを検出して第1の判定基準データを得ると共に、多値信号の立ち上がり部分に対応し、かつ奇数個の多値のうちの中央値に対応するデジタルデータを検出して第2の判定基準データを得るデータ検出手段と、データ検出手段によつて得た第1及び第2の判定基準データに基づいて実際の変換タイミングの位相ずれを検出する位相検出手段とを設けるようにしたことにより、単一周波数の信号部分を検出対象にして一段と精度良く位相ずれを検出し得る。

#### 【図面の簡単な説明】

【図1】本発明の一実施例によるDATの全体構成を示すブロック図である。

【図2】そのDATのRF信号処理段の構成を示すブロック図である。

【図3】第1実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図4】第1実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図5】第1実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図6】第1実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図7】第1実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図8】第1実施例の位相誤差検出回路の構成を示すブロック図である。

【図9】第1実施例による位相誤差検出回路の動作の説明に供する略線図である。

【図10】第1実施例による位相誤差検出回路の動作の説明に供する略線図である。

【図11】第2実施例による位相誤差検出回路の構成を示すブロック図である。

【図12】第3実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図13】第3実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図14】第3実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図15】第3実施例による位相誤差検出回路の構成を示すブロック図である。

【図16】第3実施例による位相誤差検出回路の動作の説明に供する信号波形図である。

【図17】第3実施例による位相誤差検出回路の動作の説明に供する略線図である。

【図18】第3実施例による位相誤差検出回路の動作の説明に供する略線図である。

【図19】第3実施例による位相誤差検出回路の動作の説明に供するタイミングチャート図である。

【図20】他の実施例による位相誤差検出回路の動作の説明に供する略線図である。

【図21】積分等化したRF信号を示す信号波形図である。

【図22】PR(1, 1)で等化したRF信号を示す信号波形図である。

【図23】従来のDATの構成を示すブロック図である。

#### 【符号の説明】

1、10……DAT、4、5、14、31、32……等化回路、7、34……PLL回路、6、33……アナログデジタル変換回路、35、55、84……遅延回路、36……アツプダウンカウンタ、38……エッジ検出回路、50、70、80……位相誤差検出回路、51、81……データ検出段、51A……エッジ検出部、52、71、82……位相検出段、53、83……仮検出回路、54、106……モノマルチ、81A……タイミング検出部、81B……データ遅延部。

【図3】

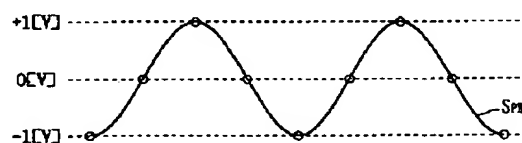


図3 2T信号をPR(1, 1)等化した場合の波形

【図 1】

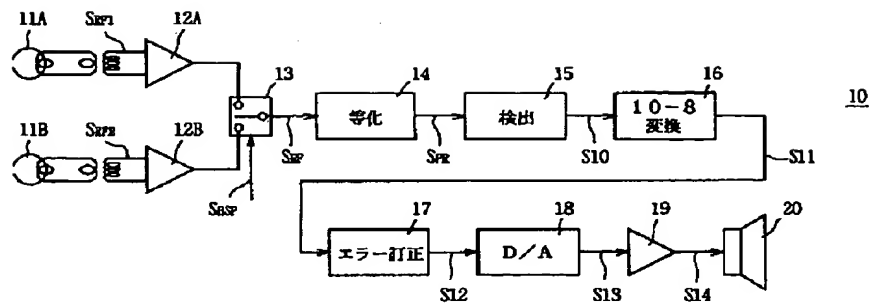


図 1 DATの全体構成

【図 2】

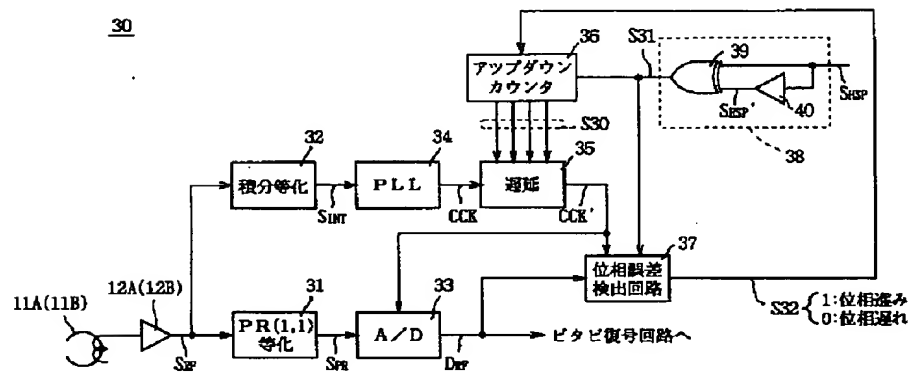


図 2 RF信号処理段の構成

【図 4】

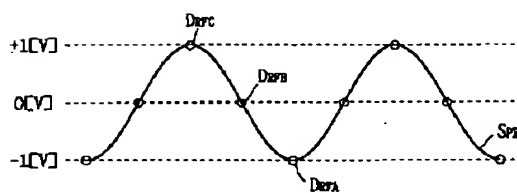


図 4 ネガティブエッジの検出

【図 5】

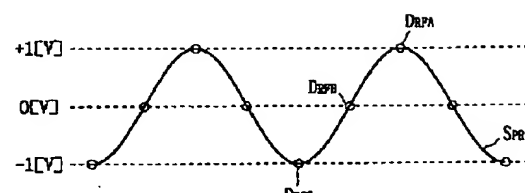


図 5 ポジティブエッジの検出

【図 7】

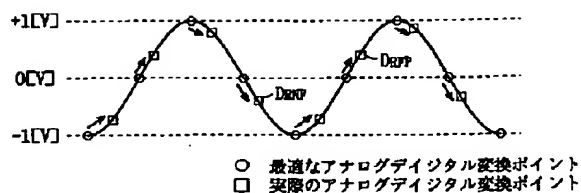


図7 位相が遅れている状態

【図 8】

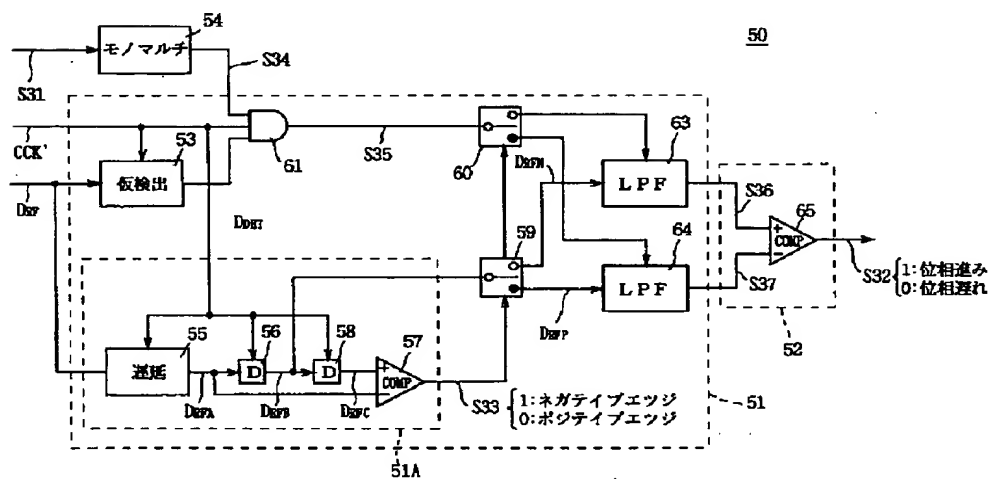


図8 位相誤差検出回路の構成

【図 10】

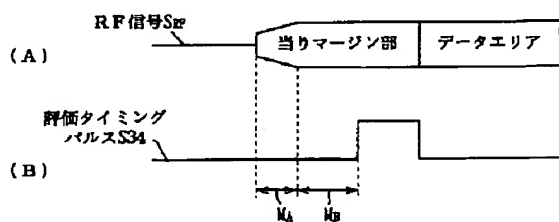


図10 評価タイミングパルスの発生タイミング(2)

図9 評価タイミングパルスの発生タイミング(1)

【図11】

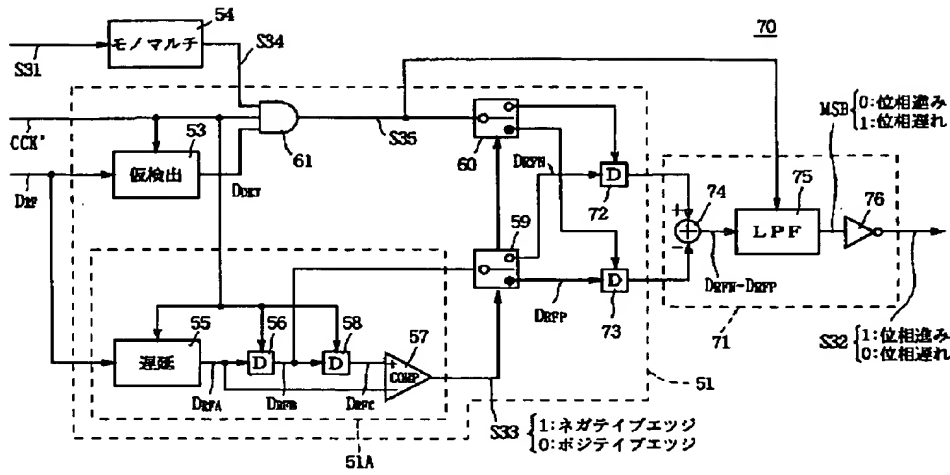


図11 第2実施例による位相誤差検出回路

【図12】

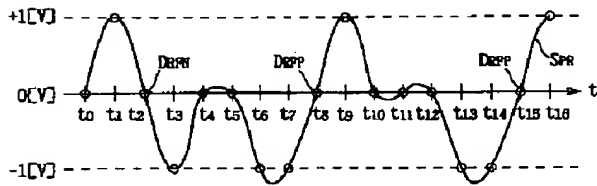


図12 PR(1,1)で等化したRF信号の波形

【図13】

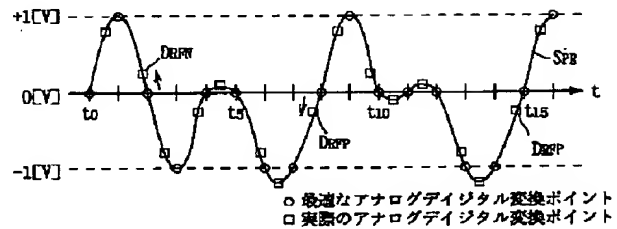


図13 位相が進んでいる状態

【図14】

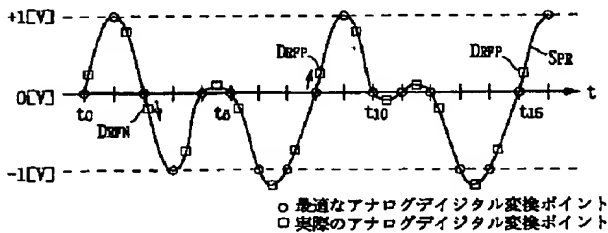


図14 位相が遅れている状態

【図16】

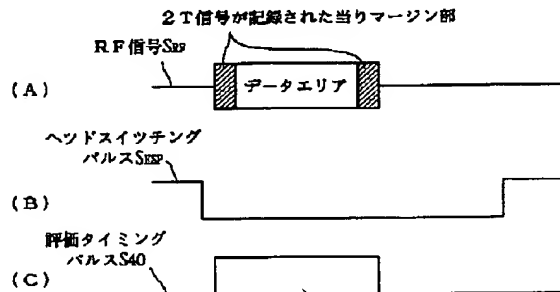


図16 評価タイミングパルスの発生タイミング



【図15】

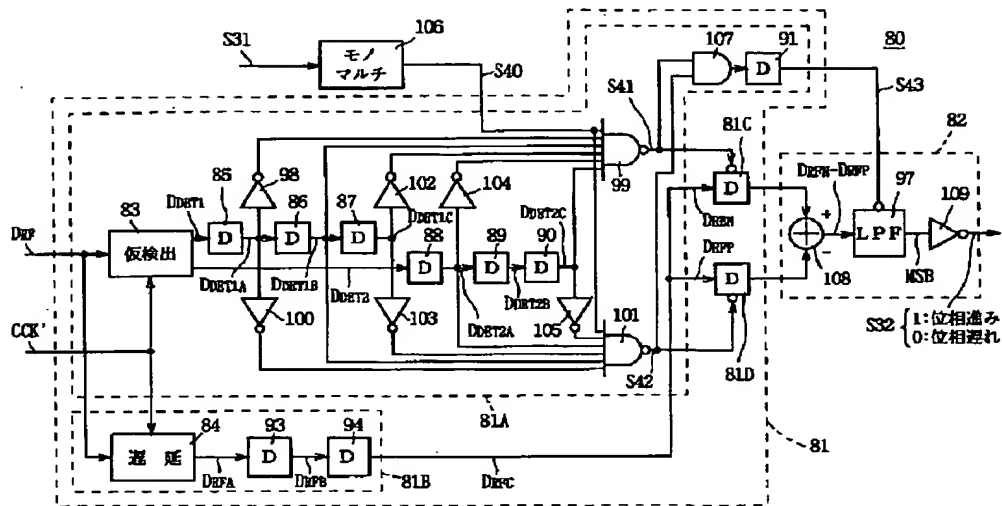


図15 第3実施例による位相誤差検出回路

【図17】

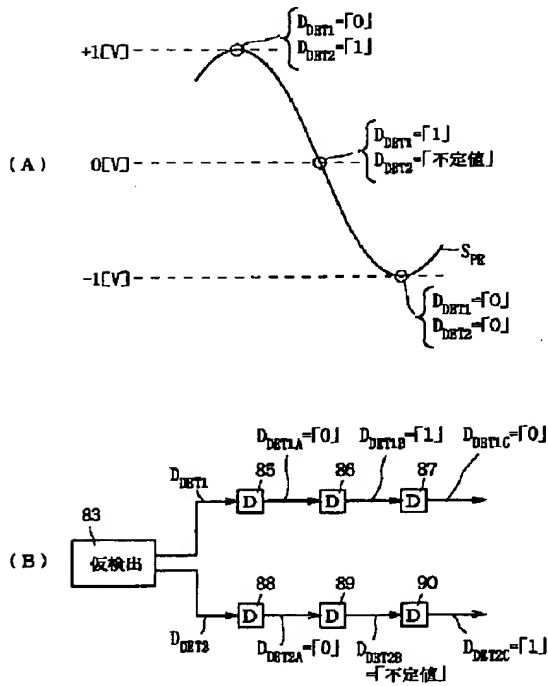


図17 RFデータDDET1の検出

【図18】

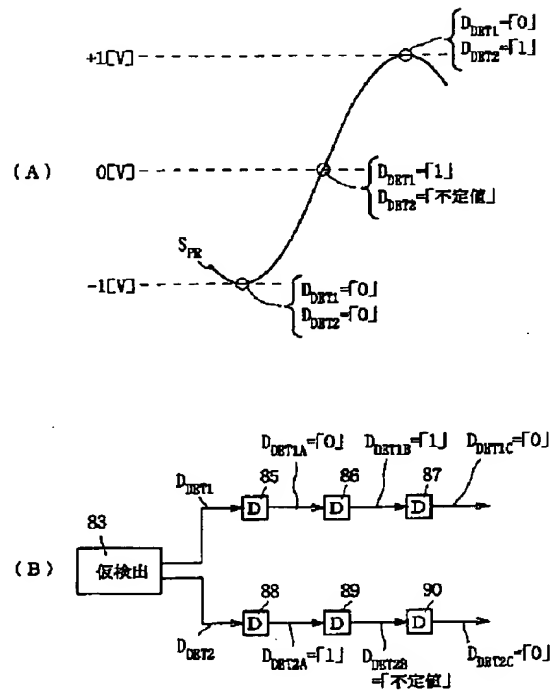


図18 RFデータDDET2の検出

【図19】

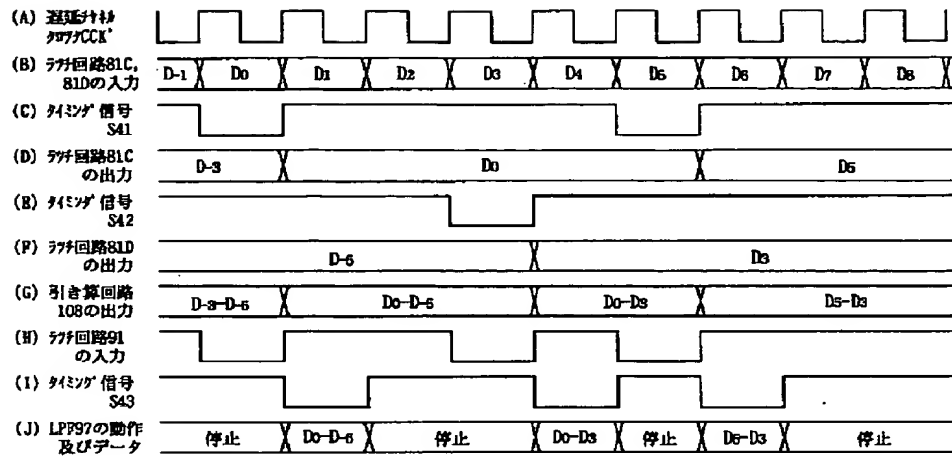
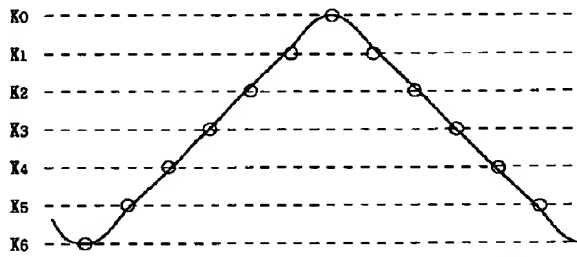
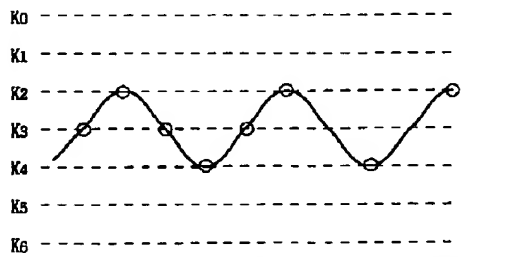


図19 タイミングチャート

【図20】



(A) 7値を繰り返す単一周波数記号



(B) 3値を繰り返す単一周波数記号

図20 7値のパーシャルレスポンス方式の場合の波形

【図21】

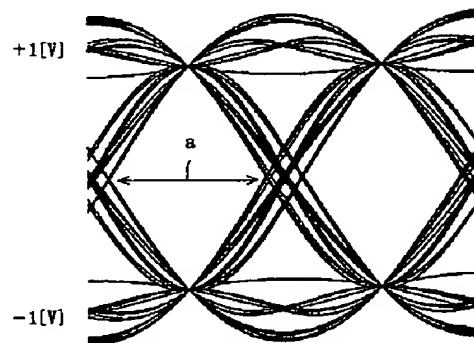


図21 積分等化したRF信号

【図22】

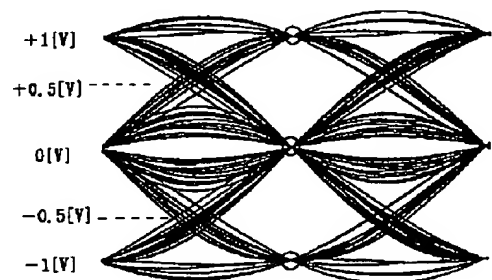


図22 PR(1,1)で等化したRF信号

【図23】

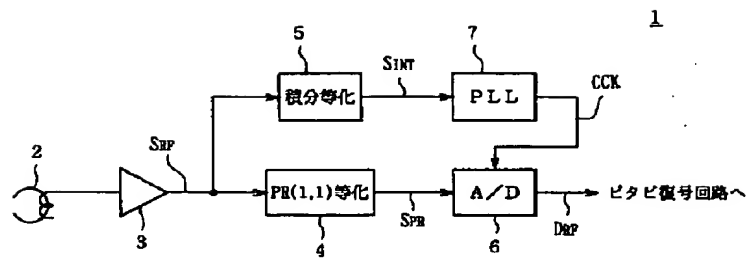


図23 従来のDATの構成

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035095

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

G11B 20/14  
G11B 20/18  
H04L 7/033

(21)Application number : 11-205958

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 21.07.1999

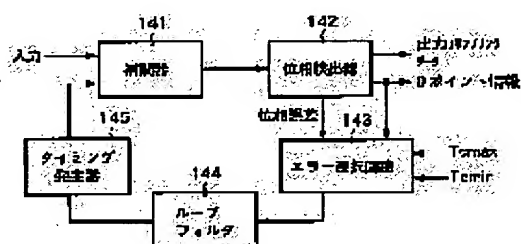
(72)Inventor : TONAMI JUNICHIRO

## (54) DIGITAL SIGNAL REPRODUCING DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a digital signal reproducing device capable of surely reproducing recorded information on a recording medium while stably following a phase without inducing phase oscillation or bit slip in the device itself.

**SOLUTION:** Concerning a resampling DPLL for generating and outputting resampling data by resampling a digital regenerative signal at a desired bit rate, this resampling DPLL is composed of an interpolator 141, a phase detector 142 for generating and outputting the resampling data and generating and outputting '0' point information showing a zero cross point and a phase error signal from an input data value, an error selecting circuit 143 for receiving the phase error signal and the '0' point information as an input signal, selecting only an effective component out of the phase error signal and generating and outputting a new phase error signal by invalidating the phase error signal generated just after an inversion interval except for a set range, a loop filter 144 and a timing generator 145.



## LEGAL STATUS

[Date of request for examination]

26.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**  
**Publication No. 2001-035095**

[0020] to [0022]

[0020] The phase detector 142 generates and outputs resampling data having a phase of  $180^\circ$  from an input data value, that is, resampling data having a phase of  $0^\circ$ . The resampling data having a phase of  $180^\circ$  is obtained by, for example, calculating  $(D_{t-1} + D_t)/2$  with regard to 1-bit preceding data  $D_{t-1}$  and present data  $D_t$ . Further, the phase detector 142 detects the zero-cross point from the input data value, that is, sampling data having a phase of  $0^\circ$  and outputs the zero-cross point as a phase error calculated, using the data value at the zero-cross point. The phase error can be obtained in a manner that, for example, the zero-cross point is detected from the 1-bit preceding data  $D_{t-1}$  and the present data  $D_t$  and the polarity of the data  $D_{t-1}$  is multiplied by  $(D_{t-1} + D_t)/2$ .

[0021] In comparison with the conventional manner in which only a phase error is output from a phase detector, zero-point information indicating the zero-cross point is output from the phase detector 142 in the present embodiment. The zero-point information indicates timing at which the sampling point having a phase of  $180^\circ$ , which corresponds to the zero-cross point to be locked by the resampling DPLL14, exists.

[0022] A phase error signal and the zero-point information output from the phase detector 142 are supplied into an error selection circuit 143. The error selection circuit 143 counts a bit sampling interval at the timing of the zero-point information. When the count value Tcount is not within the set range (the maximum value is Tcmax and the minimum value is Tcmin), the error selection circuit 143 generates a new phase error signal obtained by invalidating a phase error signal output immediately thereafter or phase error signals output immediately thereafter and therefore, and supplies the new phase error signal into a loop filter 144. More specifically, the error selection circuit 143 generates a new phase error

signal obtained by invalidating a phase error signal generated immediately after the inversion interval or phase error signals generated immediately before and after the inversion interval outside the set range and supplies the new phase error signal into the loop filter 144.